

TMS570LS 系列 16/32 位精简指令集 (RISC) 闪存微控制器

查询样品: [TMS570LS20216](#), [TMS570LS20206](#), [TMS570LS10216](#), [TMS570LS10206](#), [TMS570LS10116](#), [TMS570LS10106](#)

1 TMS570LS 系列 16/32 位 RISC 闪存微控制器

1.1 特性

- 用于安全关键型应用的高性能汽车级微控制器
 - 在 **SIL3** 应用中的使用得到认证
 - 运行在锁步中的双中央处理单元 (**CPU**)
 - 闪存和 **SRAM** 上的错误校正码 (**ECC**)
 - **CPU** 和内存 **BIST** (内置自检)
 - 带有错误引脚的错误信号模块 (**ESM**)
- **ARM® Cortex™-R4F 32 位 RISC CPU**
 - 具有 8 级管线的高效 1.6 每兆赫每秒百万次整数运算指令 (**DMIPS/MHz**)
 - 带有单精度/双精度的浮点单元
 - 内存保护单元 (**MPU**)
 - 带有第三方支持的开放式架构
- 运行特性
 - 高达 **160MHz** 系统时钟
 - 内核电源电压 (**V_{CC}**): **1.5V**
 - **I/O** 电源电压 (**V_{CCIO}**): **3.3V**
- 集成内存
 - 带有 **ECC** 的 **1M** 字节或 **2M** 字节闪存
 - 带有 **ECC** 的 **128K** 字节或 **160K** 字节 **RAM**
- 包括 **FlexRay**, 控制器局域网 (**CAN**), 和本地互联网网络 (**LIN**) 在内的多种通信接口
- **NHET** 定时器和 **2x 12 位** 模数转换器 (**ADC**)
- 外部存储器接口 (**EMIF**)
 - **16** 位数据、**22** 位地址、**4** 芯片选择
- 通用 **TMS470/570** 平台架构
 - 系列产品上的一致内存映射
 - 实时中断 (**RTI**) 操作系统 (**OS**) 定时器
 - 矢量中断模块 (**VIM**)
 - 循环冗余校验器 (**CRC**, **2** 通道)
- 直接内存访问 (**DMA**) 控制器
 - **32** **DMA** 请求和 **16** 通道/控制数据包
 - 控制数据包内存上的奇偶校验
 - 专用内存保护单元 (**MPU**)
- 基于调频零引脚锁相环 (**FMzPLL**) 的时钟模块
 - 振荡器和 **PLL** 时钟监视器
- 高达 **115** 个外设 **IO** 引脚
 - **16** 个专用 **GIO** - 其中 **8** 个有外部中断
 - 可编程外部时钟 (**ECLK**)
- 通信接口
 - 三个多缓冲串行外设接口 (**MibSPI**), 每个接口具有:
 - 四个芯片选择和一个使能引脚
 - **128** 个支持奇偶校验的缓冲器
 - 一个具有并行模式
 - 两个带有本地互连网络接口 (**LIN 2.0**) 的通用异步收发器 (**SCI**) 接口
 - 三个 **CAN (DCAN)** 控制器
 - 其中两个带有 **64** 个邮箱, 另外一个有 **32** 个邮箱
 - 邮箱 **RAM** 上的奇偶校验
 - 双通道 **FlexRay™** 控制器
 - 支持奇偶校验的 **8K** 字节消息 **RAM**
 - 带有 **MPU** 和奇偶校验的传输单元
- 高端定时器 (**NHET**)
 - **32** 个可编程 **I/O** 通道
 - 支持奇偶校验的 **128** 字高端定时器 **RAM**
 - 带有 **MPU** 和奇偶校验的传输单元
- 两个 **12 位** 多缓冲 **ADC (MibADC)**
 - 总共 **24** 个 **ADC** 输入通道
 - 每个通道有 **64** 个支持奇偶校验的缓冲器
- 跟踪和校准接口
 - 嵌入式跟踪模块 (**ETMR4**)
 - 数据修正模块 (**DMM**)
 - **RAM** 跟踪端口 (**RTP**)
 - 参数覆盖模块 (**POM**)
- 包括 **IEEE 1149.1 JTAG**, 边界扫描和 **ARM Coresight** 组件的片载仿真逻辑
- 提供完整的开发工具包
 - 开发板
 - **Code Composer Studio** 集成开发环境 (**IDE**)
 - **HaLCoGen** 代码生成工具
 - 高端定时器 (**HET**) 汇编程序和模拟器
 - **nowFlash** 闪存编辑工具
- 支持的封装
 - **144** 引脚四方扁平封装 (**PEG**) [绿色环保]
 - **337** 引脚球状引脚栅格阵列封装 (**ZWT**) [绿色环保]
- 社区资源
 - [TI E2E 社区](#)



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

1.2 说明

TMS570LS 系列是一款已获在 IEC 61508 SIL3 安全系统中经使用认证的高性能汽车级微控制器系列。此安全架构包括锁步中的双 CPU，CPU 和内存内置自检 (BIST) 逻辑，闪存和数据 SRAM 上的 ECC，外设内存上的奇偶校验，和外设 IO 上的回路功能。

TMS570LS 系列集成了 ARM® Cortex™-R4F 浮点 CPU，该 CPU 提供了高效的 1.6 DMIPS/MHz，并且具有可运行至高达 160MHz 的配置，从而提供大于 250 DMIPS 的指令执行速度。TMS570LS 系列还提供具有单位错误校正和双位错误检测的不同闪存 (1MB 或 2MB) 和数据 SRAM (128KB 或 160KB) 选项。

TMS570LS 特有用于基于实时控制应用的外设，其中包括高达 32 nHET 的定时器通道和两个支持高达 24 个输入的 12 位模数转换器。有多个通信接口，其中包括一个 2 通道 FlexRay，3 个 CAN 控制器，每个控制器支持 64 个邮箱，和 2 个 LIN/UART 控制器。

借助于集成的已经 SIL3 认证的安全特性和一个通信和控制外设的广泛选择，TMS570LS 系列是针对具有安全关键要求的高性能实时控制应用的理想解决方案。

包括在 TMS570LS 系列并在本文档中进行说明的器件有：

- TMS570LS20216
- TMS570LS20206
- TMS570LS10216
- TMS570LS10206
- TMS570LS10116
- TMS570LS10106

TMS570LS 系列微控制器包含下列组件：

- 锁步中的双 TMS570 16/32 位 RISC (ARM Cortex™-R4F)
- 支持 ECC 的高达 2M 字节的程序闪存
- 支持 ECC 的高达 160K 字节的静态 RAM (SRAM)
- 实时中断 (RTI) 操作系统定时器
- 矢量中断模块 (VIM)
- 循环冗余校验器 (CRC) 支持并行特征值分析 (PSA)
- 直接内存访问 (DMA) 控制器
- 带前置分频器的基于调频锁相环 (FMzPLL) 的时钟模块
- 三个多缓冲串行外设接口 (MibSPI)
- 两个具有本地互连网络接口 (LIN) 的 UART (SCI)
- 三个 CAN 控制器 (DCAN)
- 带有专用传输单元 (HTU) 的高端定时器 (NHET)
- 提供带有专用 PLL 和传输单元 (FTU) 的 FlexRay 控制器
- 外部时钟前置分频 (ECP) 模块
- 两个 16 通道 12 位多缓冲 ADC (MibADC) - 其中 8 个通道由两个 ADC 共用
- 支持故障检测的地址总线奇偶校验
- 带有外部错误引脚的错误信令模块 (ESM)
- 支持超范围复位置位的电压监控器 (VMON)
- 嵌入式跟踪模块 (ETMR4)
- 数据修正模块 (DMM)
- RAM 跟踪端口 (RTP)
- 参数覆盖模块 (POM)
- 16 个专用通用 I/O (GIO) 引脚对于 ZWT；针对 PGE 封装，有 8 个专用 GIO 引脚
- 针对 ZWT 封装，总共有 115 个外设 I/O；针对 PGE，总共有 68 个外设 I/O
- 16 位外部存储器接口 (EMIF)

此器件运用大端序 (**big-endian**) 格式, 在该格式中, 一个字的最高有效字节被存储于编号最小的字节中, 而最低有效字节则存储在编号最大的字节中。

器件内存包括通用 **SRAM**, 此 **SRAM** 支持字节模式、半字模式及字模式的单周期读/写访问。这个器件上的闪存存储器是一个由 **64** 位宽数据总线接口实现的非易失性、电可擦除并且可编程的存储器。为了实现所有读取、编程和擦除操作, 此闪存运行在一个 **3.3V** 电源输入上 (与 **I/O** 电源一样的电平)。当处于管钱模式中时, 闪存可在高达 **160MHz** 的系统时钟频率下运行。

此器件有 **9** 个通信接口: **3** 个 **MibSPI**, **2** 个 **LIN/SCI**, **3** 个 **DCAN** 和 **1** 个 **FlexRay™** 控制器 (可选。) **SPI** 为相似的移位寄存器类型器件之间的高速通信提供了一种便捷的串行交互方法。 **LIN** 支持本地互联标准 **2.0** 并可被用作一个使用标准不归零码 (**NRZ**) 格式的全双工模式 **UART**。 **DCAN** 支持 **CAN 2.0B** 协议标准并使用一个串行、多主机通信协议, 此协议有效支持对速率高达 **1** 兆位每秒 (**Mbps**) 的稳健通信的分布式实时控制, **DCAN** 非常适合于工作于嘈杂和严酷环境中的应用 (例如: 汽车和工业领域), 此类应用需要可靠的串行通信或多路复用线路。 **FlexRay** 使用一个双通道串行、固定时基多主机通信协议, 在此协议下, 每通道的通信速率为 **10** 兆位每秒 (**Mbps**)。一个 **FlexRay** 传输单元 (**FTU**) 可实现 **FlexRay** 数据到主 **CPU** 内存的匿名传输和读取。数据传输受到一个专用、内置内存保护单元 (**MPU**) 的保护。

NHET 是一款先进的智能定时器, 此定时器可为实时应用提供精密的定时功能。该定时器为软件控制型, 采用一个精简指令集, 并具有一个专用的定时器微级机和一个连接的 **I/O** 端口。 **NHET** 可被用于脉宽调制输出、捕捉或者比较输入, 或者通用 **I/O**。它特别适合于那些需要多种传感器信息和驱动传动器并具有复杂和准确的时间脉冲的应用。一个高端定时器传输单元 (**HET-TU**) 提供了将 **NHET** 数据存入主内存或者从主内存读出 **NHET** 数据的特性。为了防止错误传输, 在 **HET-TU** 内部有一个内存保护单元 (**MPU**)。

此器件具有 **2** 个 **12** 位分辨率 **MibADC**, 每个 **MibADC** 具有总共 **24** 个通道和受 **64** 字奇偶校验保护的缓冲器 **RAM**。 **MibADC** 通道可被独立转换或者可针对顺序转换序列由软件成组。 **2** 个 **ADC** 共用 **8** 个通道。有 **3** 个独立分组, 其中的 **2** 个分组由一个外部事件触发。每个序列可在被触发时执行一次转换, 或者被配置成连续转换模式。

调频锁相环 (**FMzPLL**) 时钟模块包含一个锁相环、一个时钟监视器电路、一个时钟启用电路, 和一个前置分频器。 **FMzPLL** 的功能是将外部频率基准倍频至一个供内部使用的较高频率。 **FMzPLL** 为全局时钟模块 (**GCM**) 提供 **6** 个可能时钟源输入中的一个。 **GCM** 模块向所有其它的外设模块提供系统时钟 (**HCLK**), 实时中断时钟 (**RTICLK1**), **CPU** 时钟 (**GCLK**), **NHET** 时钟 (**VCLK2**), **DCAN** 时钟 (**AVCLK1**), 以及外设接口时钟 (**VCLK**)。

此器件还有一个外部时钟前置分频器 (**ECP**) 模块, 当被启用时, 此模块在 **ECLK** 引脚上输出一个连续外部时钟。 **ECLK** 频率是一个外设接口时钟 (**VCLK**) 频率的用户可编程比例。

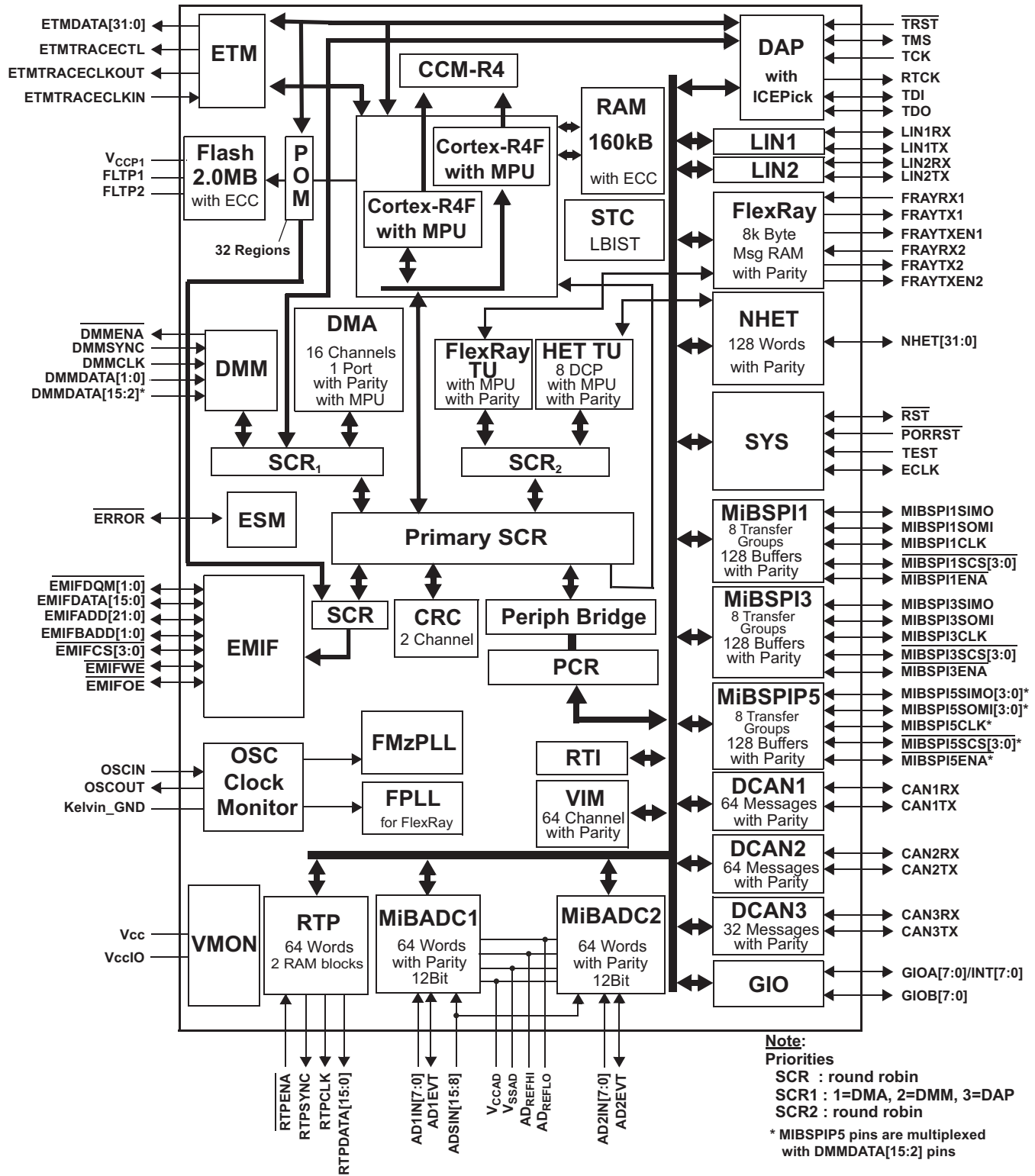
直接内存访问控制器 (**DMA**) 有 **32** 个 **DMA** 请求, **16** 个通道/控制数据包和对其内存的奇偶校验保护。无需 **CPU** 配合, **DMA** 即可提供内存到内存传输功能。为了防止内存发生错误传输, **DMA** 内置了一个内存保护单元 (**MPU**)。

错误信令模块 (**ESM**) 监控所有器件错误并在检测到一个故障时确定是触发一个中断还是触发一个外部错误引脚。

外部内存接口 (**EMIF**) 提供到异步内存或者其它从器件的内存扩展。

提供几个接口来提高应用代码的调试能力。除了内置了 **ARM Cortex™-R4F CoreSight™** 调试接口, 一个外部跟踪宏单元 (**ETM**) 提供程序执行的指令和数据跟踪。为了实现仪器测量的目的, 执行了一个 **RAM** 跟踪端口模块 (**RTP**) 来支持 **CPU** 或者任何其它主机执行的 **RAM** 访问的高速输出。一个直接内存模块 (**DMM**) 提供向器件内存写入外部数据的功能。 **RTP** 和 **DMM** 对于应用代码的程序执行时间没有影响或者只有很小的影响。一个参数覆盖模块 (**POM**) 可将闪存访问重新路由至 **EMIF**, 从而避免了闪存内参数更新所需的重编程步骤。

1.3 功能方框图



1	TMS570LS 系列 16/32 位 RISC 闪存微控制器	1	5.2	芯片 - ID 寄存器	57
1.1	特性	1	5.3	PLL 寄存器	58
1.2	说明	2	6	器件电气技术规格	59
1.3	功能方框图	4	6.1	运行条件	59
2	器件概述	6	6.2	在自然通风温度范围的绝对最大额定值（除非另有说明）	59
2.1	术语和首字母缩略词	6	6.3	器件建议的运行条件	59
2.2	器件特性	7	6.4	在自然通风温度范围的电气特性	60
2.3	内存	8	7	外设和电气技术规范	64
2.4	引脚分配	16	7.1	时钟	64
2.5	端子功能	21	7.2	ECLK 规范	68
2.6	器件支持	34	7.3	RST 和 PORRST 时序	69
3	复位/中止源	36	7.4	测试引脚时序	71
3.1	复位/中止源	36	7.5	DAP-JTAG 扫描接口时序	72
4	外设	39	7.6	输出时序	73
4.1	错误信令模块 (ESM)	39	7.7	输入时序	74
4.2	直接内存访问 (DMA)	42	7.8	闪存时序	75
4.3	高端定时器传输单元 (HET-TU)	43	7.9	SPI 主控模式时序参数	76
4.4	矢量中断管理器 (VIM)	44	7.10	SPI 受控模式时序参数	80
4.5	MIBADC 事件触发源	46	7.11	CAN 控制器模式时序	84
4.6	MIBSPI	47	7.12	SCI/LIN 模式时序	84
4.7	ETM	49	7.13	FlexRay 控制器模式时序	84
4.8	调试扫描链	50	7.14	EMIF 时序	85
4.9	CCM	51	7.15	ETM 时序	87
4.10	LPM	52	7.16	RTP 时序	88
4.11	电压监视器	52	7.17	DMM 时序	90
4.12	CRC	52	7.18	MibADC	91
4.13	系统模块访问	52	8	修订历史记录	97
4.14	调试 ROM	53	9	机械封装和可订购部件信息	98
4.15	CPU 自检控制器: STC/LBIST	54	9.1	散热数据	98
5	器件寄存器	56	9.2	封装信息	98
5.1	器件识别码寄存器	56			

2 器件概述

2.1 术语和首字母缩略词

表 2-1. 术语和首字母缩略词

术语和首字母缩略词	描述	注释
ADC	模数转换器	
AHB	高级高性能总线	R4 内核的部件
CCM-R4	Cortex™-R4F 的 CPU 比较模块	
CRC	循环冗余校验控制器	
DAP	调试访问端口	DAP 是一个 ARM 调试接口的工具。
DCAN	控制器局域网	
DMA	直接存储器存取	
DMM	数据修改模块	
ECC	错误校正码	
EMIF	外部存储器接口	
ESM	错误信令模块	
ETM	嵌入式跟踪模块	
FMzPLL	调频零引脚锁相环	
FPLL	FlexRay 锁相环	
GIO	通用输入/输出	
HET	高端定时器	
ICEPICK	处于电路仿真 TAP (测试访问端口) 选择模块	ICEPick 能够连接或者隔离一个模块级 TAP 到一个更高级芯片 TAP 的数据通信。ICEPick 设计时充分考虑了仿真和测试需要。
JTAG	联合测试访问组	负责测试访问端口的 IEEE 委员会
LBIST	逻辑内置自检	测试 R4 CPU 的完整性
LIN	本地互连网络	
VIM	矢量中断管理器	
MibSPI	多缓冲串行外设接口	
MPU	内存保护单元	
OSC	振荡器	
PBIST	可编程内置自检	测试 SRAM 的完整性
PCR	外设中心资源	
POM	参数叠加模块	POM 提供了一种机制来把到非易失性内存的访问重新定向到一个器件外部的非易失性存储器。
PSA	并行签名分析	
RTI	实时中断	
RTP	RAM 跟踪端口	
SCR	切换中央资源	
SCI	串行通信接口	
SECEDED	单一错误校正和双错误校正	
STC	自检控制器	
SYS	系统模块	
TU	传输单元	
VBUS	虚拟总线	包括 CBA (通用总线架构) 的协议中的一个
VBUSP	虚拟管道型总线	包括 CBA (通用总线架构) 的协议中的一个
VMON	电压监控器	

2.2 器件特性

下表显示了在 TMS570LS 系列器件中的提供不同的配置选项：

表 2-2. TMS570LS 系列器件的特点

特性	TMS570LS20216		TMS570LS20206		TMS570LS10216		TMS570LS10206		TMS570LS10116		TMS570LS10106	
封装	337 球状 栅格阵列 (BGA) 封装	144 四方 扁平 (QFP) 封 装	337BGA	144 QFP	337BGA	144 QFP	337BGA	144 QFP	337BGA	144 QFP	337BGA	144 QFP
类型	(ZWT)	(PGE)	(ZWT)	(PGE)	(ZWT)	(PGE)	(ZWT)	(PGE)	(ZWT)	(PGE)	(ZWT)	(PGE)
速度	160MHz	140MHz	160MHz	140MHz	160MHz	140MHz	160MHz	140MHz	160MHz	140MHz	160MHz	140MHz
闪存大小	2MB	2MB	2MB	2MB	1MB	1MB	1MB	1MB	1MB	1MB	1MB	1MB
RAM 大小	160KB	160KB	160KB	160KB	160KB	160KB	160KB	160KB	128KB	128KB	128KB	128KB
FlexRay	2 个通道	2 个通道	-	-	2 个通道	2 个通道	-	-	2 个通道	2 个通道	-	-
CAN	3	2	3	2	3	2	3	2	3	2	3	2
MibSPI	3	3	3	3	3	3	3	3	3	3	3	3
UART/LIN	2	2	2	2	2	2	2	2	2	2	2	2
NHET 通 道	32	25	32	25	32	25	32	25	32	25	32	25
12 位模数 转换器(ADC) 通道	24	20	24	20	24	20	24	20	24	20	24	20
EMIF	16 位	-	16 位	-	16 位	-	16 位	-	16 位	-	16 位	-
GIO	16	8	16	8	16	8	16	8	16	8	16	8
ETM	32 位	-	32 位	-	32 位	-	32 位	-	32 位	-	32 位	-
RTP	16 位	-	16 位	-	16 位	-	16 位	-	16 位	-	16 位	-
DMM	16 位	-	16 位	-	16 位	-	16 位	-	16 位	-	16 位	-

2.3 内存

2.3.1 内存映射

内存映射，包括所有器件系列的可用内存和 RAM 的内存配置，如下所示。图 2-1 适用于 TMS570LS20216 和 TMS570LS20206。图 2-2 适用于 TMS570LS10216 和 TMS570LS10206。图 2-3 适用于 TMS570LS10106 和 TMS570LS10116。

0xFFFFFFF	SYSTEM Modules	
0xFFF80000		
0xFFF7FFF	Peripherals	
0xFF00000		
0xFEFFFFFF	CRC	
0xFE00000		
	RESERVED	
0x6FFFFFF	EMIF (256MB)	CS3
		CS2
		CS1
		CS0
		POM (4MB)
0x6000000		
	RESERVED	
0x204FFFF		
	Flash - ECC (2MB Mirrored Image)	
0x2040000		
	RESERVED	
0x201FFFF		
	Flash (2MB) (Mirrored Image)	
0x2000000		
	RESERVED	
0x08427FF		
	RAM - ECC (160kB)	
0x0840000		
	RESERVED	
0x08027FF		
	RAM (160kB)	
0x0800000		
	RESERVED	
0x004FFFF		
	Flash - ECC (2MB)	
0x0040000		
	RESERVED	
0x001FFFF		
	Flash (2MB)	
0x0000000		

图 2-1. TMS570LS20216 和 TMS570LS20206 的内存映射

0xFFFFFFFF	SYSTEM Modules		
0xFFF80000			
0xFFF7FFFF	Peripherals		
0xFF000000			
0xFEFFFFFF	CRC		
0xFE000000			
	RESERVED		
0x6FFFFFFF	CS3	EMIF (256MB)	0x603FFFFF
	CS2		
	CS1		
	CS0		POM (4MB)
0x60000000	RESERVED		0x60000000
0x2047FFFF			0x2047FFFF
	Flash - ECC (1MB Mirrored Image)		
0x20400000	RESERVED		0x20400000
0x200FFFFF			0x200FFFFF
	Flash (1MB) (Mirrored Image)		
0x20000000	RESERVED		0x20000000
0x08427FFF			0x08427FFF
	RAM - ECC (160kB)		
0x08400000			0x08400000
	RESERVED		
0x08027FFF			0x08027FFF
	RAM (160kB)		
0x08000000	RESERVED		0x08000000
0x0047FFFF			0x0047FFFF
	Flash - ECC (1MB)		
0x00400000	RESERVED		0x00400000
0x000FFFFF			0x000FFFFF
	Flash (1MB)		
0x00000000			0x00000000

图 2-2. TMS570LS10216 和 TMS570LS10206 的内存映射

0xFFFFFFFF	SYSTEM Modules		
0xFFF80000			
0xFFF7FFFF	Peripherals		
0xFF000000			
0xFEFFFFFF	CRC		
0xFE000000			
	RESERVED		
0x6FFFFFFF	CS3	EMIF (256MB)	0x603FFFFF
	CS2		
	CS1		
	CS0		POM (4MB)
0x60000000	RESERVED		0x60000000
0x2047FFFF			0x2047FFFF
	Flash - ECC		
	(1MB Mirrored Image)		
0x20400000			0x20400000
	RESERVED		
0x200FFFFFFF			0x200FFFFFFF
	Flash (1MB)		
	(Mirrored Image)		
0x20000000			0x20000000
	RESERVED		
0x0841FFFF			0x0841FFFF
	RAM - ECC (128kB)		
0x08400000			0x08400000
	RESERVED		
0x0801FFFF			0x0801FFFF
	RAM (128kB)		
0x08000000			0x08000000
	RESERVED		
0x0047FFFF			0x0047FFFF
	Flash - ECC (1MB)		
0x00400000			0x00400000
	RESERVED		
0x000FFFFFFF			0x000FFFFFFF
	Flash (1MB)		
0x00000000			0x00000000

图 2-3. TMS570LS10116 和 TMS570LS10106 的内存映射

参数叠加内存空间映射到 EMIF CS0 内存空间的较低 4MB。如果 POM 是用于把程序内存与 EMIF 空间叠加的，ECC 必须由软件通过 CPU CP15 寄存器禁用；否则将产生 ECC 错误。一个加电复位后，不能保证内存中连接到 EMIF 的内容。可寻址的 EMIF 内存范围被限于每个 EMIF（针对 16 位内存的芯片选择）的低 32MB，以及比每个 EMIF（针对 8 位内存的芯片选择）的低 16MB。默认的 EMIF 数据宽度是 16 位。EMIF 引脚没有 GIO 功能。

2.3.2 闪存存储器

F035（130nm 闪存工艺）闪存是一种非易失性的电可擦除和可编程存储器。闪存有一个可简化编程和擦除功能状态机。

该器件的 2M 字节的闪存包含四个 512K 字节的存储器数组（或组），由 22 个扇区组成。1M 字节的版本的器件只包含前两个 512K 字节组合（组 0 和组 1），总共有 14 个扇区。在闪存存储器组和扇区中显示了组和扇区配置。在管线模式时，闪存与一个时钟频率高达 160MHz 的系统一起运行（在非管线模式中系统时钟最高 32MHz）。闪存在管线模式时能够一次访问 128 位，并能给 CPU 提供两个 64 位管线式字。擦除操作的最小尺寸是一个扇区。一个单一的程序操作可以一次编程一个 32 位字或一个 16 位的半字。

表 2-3. 闪存组和扇区

扇区编号	段	低位地址	高位地址	存储器阵列（或组）
组 0: 512K 字节				
0	32K 字节	0x0000_0000	0x0000_7FFF	组 0 (512K 字节)
1	32K 字节	0x0000_8000	0x0000_FFFF	
2	32K 字节	0x0001_0000	0x0001_7FFF	
3	8K 字节	0x0001_8000	0x0001_9FFF	
4	8K 字节	0x0001_A000	0x0001_BFFF	
5	16K 字节	0x0001_C000	0x0001_FFFF	
6	64K 字节	0x0002_0000	0x0002_FFFF	
7	64K 字节	0x0003_0000	0x0003_FFFF	
8	128K 字节	0x0004_0000	0x0005_FFFF	
9	128K 字节	0x0006_0000	0x0007_FFFF	
组 1: 512K 字节				
0	128K 字节	0x0008_0000	0x0009_FFFF	组 1 (512K 字节)
1	128K 字节	0x000A_0000	0x000B_FFFF	
2	128K 字节	0x000C_0000	0x000D_FFFF	
3	128K 字节	0x000E_0000	0x000F_FFFF	
组 2: 512K 字节				
0	128K 字节	0x0010_0000	0x0011_FFFF	组 2 (512K 字节)
1	128K 字节	0x0012_0000	0x0013_FFFF	
2	128K 字节	0x0014_0000	0x0015_FFFF	
3	128K 字节	0x0016_0000	0x0017_FFFF	
组 3: 512K 字节				
0	128K 字节	0x0018_0000	0x0019_FFFF	组 3 (512K 字节)
1	128K 字节	0x001A_0000	0x001B_FFFF	
2	128K 字节	0x001C_0000	0x001D_FFFF	
3	128K 字节	0x001E_0000	0x001F_FFFF	

注

- 外部闪存泵电压 (VccP) 被所有闪存操作所需要（编程、擦除、和读取）。系统复位后，管线模式被禁用（FRDCNTL[2:0] 为一个“000”）。换言之，器件加电和处于非管线模式的复位出现。
- 用户必须为整个闪存设定适当的 ECC 位，以避免如果闪存 ECC 被启用的情况下，由于 Cortex R4 推测取指令造成的 ECC 错误。
- 在此设备上的闪存不支持 EEPROM 仿真。

2.3.3 系统模块分配

此表显示了循环冗余校验 (CRC) 模块, Cortex™-R4F CoreSight™ 调试模块, 和系统模块的内存映射。

表 2-4. 系统模块分配

帧名称	地址范围	
	帧起始地址	帧终止地址
CRC	0xFE00_0000	0xFEFF_FFFF
CoreSight 调试 ROM 寄存器	0xFFA0_0000	0xFFA0_0FFF
Cortex-R4F 调试寄存器	0xFFA0_1000	0xFFA0_1FFF
ETM-R4 寄存器	0xFFA0_2000	0xFFA0_2FFF
CoreSight TPIU 寄存器	0xFFA0_3000	0xFFA0_3FFF
POM 寄存器	0xFFA0_4000	0xFFA0_4FFF
DMA RAM	0xFFF8_0000	0xFFF8_0FFF
VIM RAM	0xFFF8_2000	0xFFF8_2FFF
RTP RAM	0xFFF8_3000	0xFFF8_3FFF
闪存包装程序寄存器	0xFFF8_7000	0xFFF8_7FFF
PCR 寄存器	0xFFFF_E000	0xFFFF_E0FF
FlexRay 锁相环 / STC CLK 寄存器	0xFFFF_E100	0xFFFF_E1FF
PBIST 寄存器	0xFFFF_E400	0xFFFF_E5FF
STC 寄存器	0xFFFF_E600	0xFFFF_E6FF
EMIF 寄存器	0xFFFF_E800	0xFFFF_E8FF
DMA 寄存器	0xFFFF_F000	0xFFFF_F3FF
ESM 寄存器	0xFFFF_F500	0xFFFF_F5FF
CCMR4 寄存器	0xFFFF_F600	0xFFFF_F6FF
DMM 寄存器	0xFFFF_F700	0xFFFF_F7FF
RAM ECC 偶数寄存器	0xFFFF_F800	0xFFFF_F8FF
RAM ECC 奇数寄存器	0xFFFF_F900	0xFFFF_F9FF
RTP 寄存器	0xFFFF_FA00	0xFFFF_FAFF
RTI 寄存器	0xFFFF_FC00	0xFFFF_FCFF
VIM 奇偶校验寄存器	0xFFFF_FD00	0xFFFF_FDFF
VIM 寄存器	0xFFFF_FE00	0xFFFF_FEFF
系统寄存器	0xFFFF_FF00	0xFFFF_FFFF

2.3.4 外设选择

外设帧包含针对外设寄存器的存储器映射以及外设存储器。第一个表显示了针对外设模块寄存器的存储器映射，下表显示了针对外设模块存储器的内存映射。

表 2-5. 外设选择分配

外设模块	地址范围		外设选择
	基地址	结束地址	
MIBSPI5	0xFFFF7_FC00	0xFFFF7_FDFF	PS[0]
MIBSPI3	0xFFFF7_F800	0xFFFF7_F800	PS[1]
MIBSPI1	0xFFFF7_F400	0xFFFF7_F5FF	PS[2]
LIN2	0xFFFF7_E500	0xFFFF7_E5FF	PS[6]
LIN1	0xFFFF7_E400	0xFFFF7_E4FF	
DCAN3	0xFFFF7_E000	0xFFFF7_E1FF	PS[7]
DCAN2	0xFFFF7_DE00	0xFFFF7_DFFF	PS[8]
DCAN1	0xFFFF7_DC00	0xFFFF7_DDFF	
FlexRay	0xFFFF7_C800	0xFFFF7_CFFF	PS[12]+PS[13]
MIBADC2	0xFFFF7_C200	0xFFFF7_C3FF	PS[15]
MIBADC1	0xFFFF7_C000	0xFFFF7_C1FF	
GIO	0xFFFF7_BC00	0xFFFF7_BCFF	PS[16]
NHET	0xFFFF7_B800	0xFFFF7_B8FF	PS[17]
HET TU	0xFFFF7_A400	0xFFFF7_A4FF	PS[22]
FlexRay TU	0xFFFF7_A000	0xFFFF7_A1FF	PS[23]

表 2-6. 外设存储器选择

外设模块存储器	地址范围		外设选择
	基地址	结束地址	
MIBSPI5 RAM	0xFF0A0000	0xFF0BFFFF	PCS[5]
MIBSPI3 RAM	0xFF0C0000	0xFF0DFFFF	PCS[6]
MIBSPI1 RAM	0xFF0E0000	0xFF0FFFFFFF	PCS[7]
DCAN3 RAM	0xFF1A0000	0xFF1BFFFF	PCS[13]
PCS[13]	0xFF1C0000	0xFF1DFFFF	PCS[14]
DCAN1 RAM	0xFF1E0000	0xFF1FFFFFFF	PCS[15]
MIBADC2 RAM	0xFF3A0000	0xFF3BFFFF	MIBADC2 RAM
MIBADC1 RAM	0xFF3E0000	0xFF3FFFFFFF	PCS[31]
NHET RAM	0xFF460000	0xFF47FFFF	PCS[35]
HET TU RAM	0xFF4E0000	0xFF4FFFFFFF	PCS[39]
FlexRay TU RAM	0xFF500000	0xFF51FFFF	PCS[40]

2.3.5 存储器自动初始化

该器件允许的片上存储器通过系统模块中的内存硬件初始化控制寄存器进行初始化。硬件初始化的目的是根据它们的错误检测方案（奇/偶校验或 ECC），把具有错误检测能力的存储器阵列设定为一个已知状态。MINITGCR 寄存器启用内存初始化序列，并在 MSINENA 寄存器选择要初始化的内存。更多信息，请参阅《技术参考手册》(TRM) 的架构章节。

下表显示了不同存储器到 MSINENA 寄存器特定位置的映射。

表 2-7. 存储器初始化

连接模块	地址范围		RAM 选择
	基地址	结束地址	
RAM	0x08000000	0x0801FFFF	0
MIBSPI5 RAM	0xFF0A0000	0xF0BFFFFF	12
MIBSPI3 RAM	0xFF0C0000	0xFF0DFFFF	11
MIBSPI1 RAM	0xFF0E0000	0xFF0FFFFFFF	7
DCAN3 RAM	0xFF1A0000	0xFF1BFFFF	10
DCAN2 RAM	0xFF1C0000	0xFF1DFFFF	6
DCAN1 RAM	0xFF1E0000	0xFF1FFFFFFF	5
FlexRay RAM	RAM 是不可见的		9 ⁽¹⁾
MIBADC2 RAM	0xFF3A0000	0xFF3BFFFF	14
MIBADC1 RAM	0xFF3E0000	0xFF3FFFFFFF	8
NHET RAM	0xFF460000	0xFF47FFFF	3
HET TU RAM	0xFF4E0000	0xFF4FFFFFFF	4
DMA RAM	0xFFF80000	0xFFF80FFF	1
VIM RAM	0xFFF82000	0xFFF82FFF	2
FlexRay TU RAM	0xFF500000	0xFF51FFFF	13

(1) 只保留；FlexRay RAM 有它自己的初始化机制。

如果启用 ECC 功能，相关的 ECC RAM 也将被初始化。

如果奇偶校验功能被启用，相关的奇偶校验 RAM 将被初始化。

注

如果 SRAM ECC 被启用，为了避免由 Cortex R4 的推测取指令造成的 ECC 错误，用户必须初始化 带有 ECC 位的整个 SRAM。

2.3.6 PBIST RAM 自检

PBIST（可编程内置自检）架构为涵盖器件嵌入式 RAM 内存的不同级别的测试提供了一个运行时间可编程的存储器 BIST 引擎。PBIST 架构是由一个带有专门针对测试 RAM 存储器的指令集的较小 CPU 组成的。该 CPU 包括控制寄存器和需要执行独立内存算法的指令寄存器。为了尽量减少测试负载的开销，一旦算法被载入到指令寄存器上，它可以在不同大小或类型的多个存储器上运行。内存配置信息和测试算法代码被存储在片上 ROM。下表显示了在此器件上执行的 PBIST RAM 组。有关存储器自检的更多信息，可以在《器件 TRM》的 PBIST 章节找到。

表 2-8. PBIST RAM 分组

RAM 组	模块	内存类型	RGS /RDS ⁽¹⁾	测试模式（算法）								
				三倍慢速 读取 [ROM 时 钟周期]	三倍快速 读取 [ROM 时 钟周期]	进程 13N [HCLK/V CLK ⁽²⁾ 周 期]	向下 1A [HCLK/V CLK ⁽²⁾ 周 期]	预充电 [HCLK/V CLK ⁽²⁾ 周 期]	映射栏 [HCLK/V CLK ⁽²⁾ 周 期]	DTXN 2A [HCLK/V CLK ⁽²⁾ 周 期]	PMOS 开 [HCLK/V CLK ⁽²⁾ 周 期]	
1	PBIST ROM	ROM	0/1	12290	4098							
2	STC ROM	ROM	13/1	24578	8194							
3	DCAN1	SP	1/0..2			12600	2637	2064	1914	5490	11544	
4	DCAN2	SP	2/0..2			12600	2637	2064	1914	5490	11544	
5	DCAN3	SP	3/0..2			6360	1341	1104	1146	2754	5016	
6	ESRAM	SP, 多选通脉冲 和页模式	4/21..22			266320	52254	41120	33212	181260	409616	
7	MibSPI	SP	5/0..5			50160	10458	7968	6900	21924	52272	
8	VIM	SP	6/0			4200	879	688	638	1830	3848	
9	MibADC	2P, 同步写入异 步读取	7/0..1			8400	1758	1376	1276	3660	7696	
10	DMA	2P, 同步写入异 步读取	8/0..5			18960	4410	3072	2772	6084	不可用	
11	NHET	2P, 同步写入异 步读取	9/0..11			25440	5940	4224	4008	8136	20064	
12	HET TU	2P, 同步写入异 步读取	10/0..5			6480	1530	1152	1236	2052	4272	
13	RTP	2P, 同步写入异 步读取	11/0..8			37800	8775	6048	5310	12150	34632	
14	FlexRay	SP	12/0..7			175040	34872	27296	22608	108912	246336	
15	ESRAM	SP, 多选通脉冲 和页模式	4/20			133160	26127	20560	16606	90630	204808	

SP = 单端口 RAM; 2P = 双端口 RAM

(1) RGS（RAM 组选择）和 RDS（返回数据选择）用一个唯一的 RAM 选择 ID。有关 RGS 和 RDS 的更多信息，可在《技术参考手册》(TRM) 中找到

(2) ESRAM, DMA 和 RTP 的测试时钟是 HCLK；其他模块的测试时钟为 VCLK。

注

- 建议在应用测试中使用 March13N 测试算法。
- 最大 PBIST 测试执行速度极限值为 100MHz。
- 执行 PBIST 自检时的电源电流与当前的器件运作模式是不同的。这些值可以在《器件电气规格》的 I_{cc} 部分找到。

2.4 引脚分配

2.4.1 PGE QFP 封装引脚分配 (144 引脚)

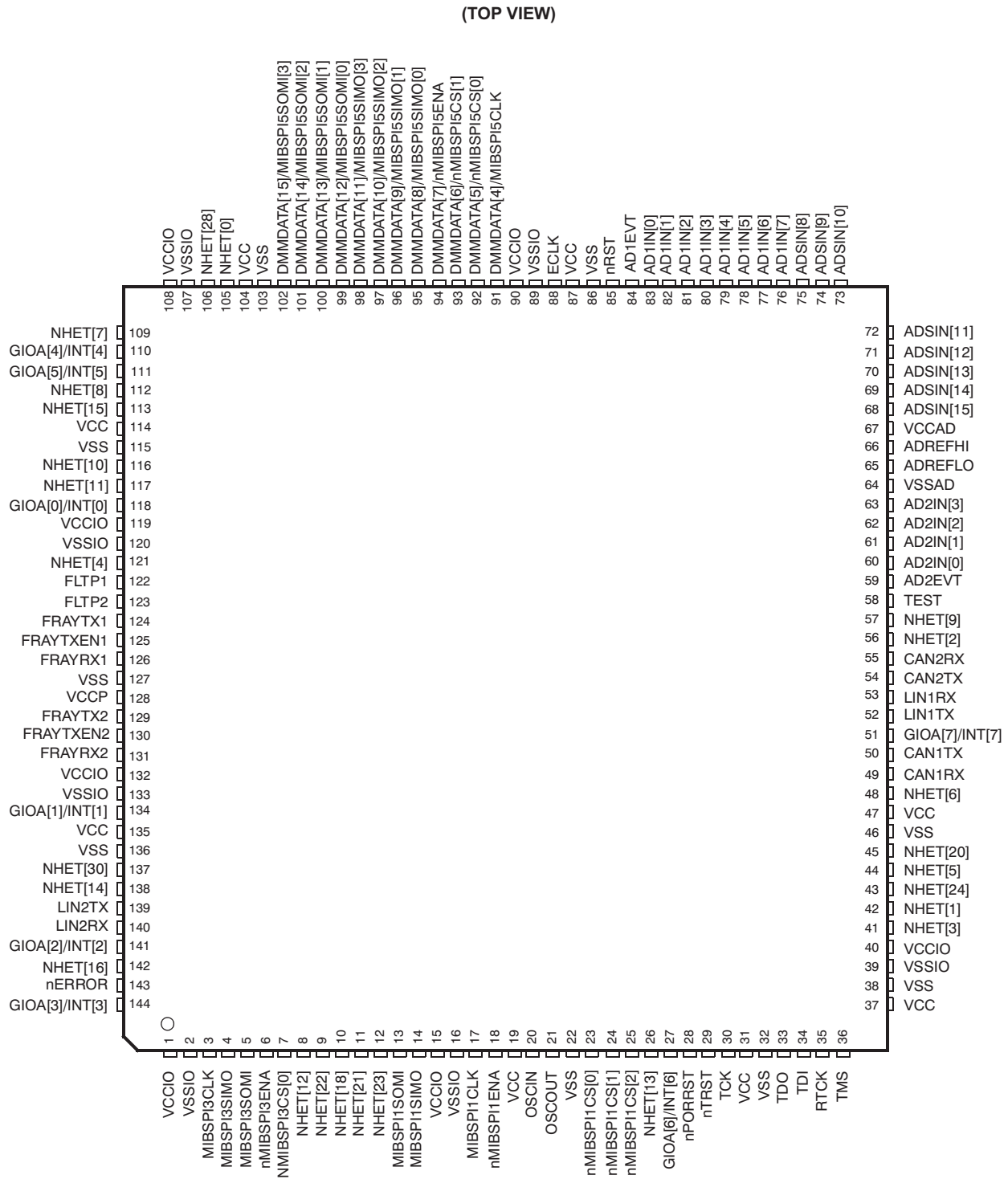


图 2-4. PGE 引脚分配 (144 引脚) [顶视图]

2.4.2 ZWT BGA 封装引脚分配 (337 焊球)

	A	B	C	D	E	F	G	H	J	K	L	
19	VSS	VSS	TMS	NHET [10]	MIBSPI5 CS[0]	MIBSPI1 SIMO	MIBSPI1 ENA	MIBSPI5 CLK	MIBSPI5 SIMO[0]	NHET [28]	DMM DATA[0]	19
18	VSS	TCK	TDO	$\overline{\text{TRST}}$	NHET [08]	MIBSPI1 CLK	MIBSPI1 SOMI	MIBSPI5 ENA	MIBSPI5 SOMI[0]	NHET [0]	DMM DATA[1]	18
17	TDI	$\overline{\text{RST}}$	EMIF_ADDR[21]	EMIF_WE	MIBSPI5 SOM[1]	DMM CLK	MIBSPI5 SIMO[3]	MIBSPI5 SIMO[2]	NHET [31]	EMIF_CS[1]	EMIF_CS[0]	17
16	RTCK	FRAY_TXEN1	EMIF_ADDR[20]	EMIF_BA[1]	MIBSPI5 SIMO[1]	DMM ENA	MIBSPI5 SOMI[3]	MIBSPI5 SOMI[2]	DMM SYNC	EMIF_DATA[0]	EMIF_DATA[1]	16
15	FRAY_RX1	FRAY_TX1	EMIF_ADDR[19]	EMIF_ADDR[18]	ETM DATA[06]	ETM DATA[05]	ETM DATA[04]	ETM DATA[03]	ETM DATA[02]	ETM DATA[16]	ETM DATA[17]	15
14	NHET [26]	$\overline{\text{ERROR}}$	EMIF_ADDR[17]	EMIF_ADDR[16]	ETM DATA[07]	VCCIO	VCCIO	VCCIO	VCC	VCC	VCCIO	14
13	NHET [17]	NHET [19]	EMIF_ADDR[15]	EMIF_BA[0]	ETM DATA[12]	VCCIO						13
12	ECLK	NHET [04]	EMIF_ADDR[14]	EMIF_OE	ETM DATA[13]	VCCIO		VSS	VSS	VCC	VSS	12
11	NHET [14]	NHET [30]	EMIF_ADDR[13]	EMIF_DQM[1]	ETM DATA[14]	VCCIO		VSS	VSS	VSS	VSS	11
10	CAN1_TX	CAN1_RX	EMIF_ADDR[12]	EMIF_DQM[0]	ETM DATA[15]	VCC		VCC	VSS	VSS	VSS	10
	A	B	C	D	E	F	G	H	J	K	L	

图 2-5. ZWT 封装引脚分配左上象限 (337 焊球) [顶视图]

	K	L	M	N	P	R	T	U	V	W	
19	NHET [28]	DMM DATA[0]	CAN3 RX	AD1 EVT	ADS IN[15]	AD2 IN[6]	AD1 IN[6]	ADS IN[11]	VSSAD	VSSAD	19
18	NHET [0]	DMM DATA[1]	CAN3 TX	NC	ADS IN[8]	ADS IN[14]	ADS IN[13]	AD1 IN[4]	AD1 IN[2]	VSSAD	18
17	EMIF_CS[1]	EMIF_CS[0]	EMIF_CS[2]	EMIF_CS[3]	NC	AD1 IN[5]	AD1 IN[3]	ADS IN[10]	AD1 IN[1]	ADS IN[9]	17
16	EMIF_DATA[0]	EMIF_DATA[1]	EMIF_DATA[2]	EMIF_DATA[3]	NC	AD2 IN[7]	ADS IN[12]	AD2 IN[3]	ADREF LO	VSSAD	16
15	ETM DATA[16]	ETM DATA [17]	ETM DATA[18]	ETM DATA[19]	NC	NC	AD2 IN[5]	AD2 IN[4]	ADREF HI	VCCAD	15
14	VCC	VCCIO	VCCIO	VCCIO	VCCIO	NC	NC	AD2 IN[2]	AD1 IN[7]	AD1 IN[0]	14
13					VCCIO	ETM DATA[1]	NC	AD2 IN[1]	AD2 IN[0]	AD2 EVT	13
12	VCC	VSS	VSS		VCCIO	ETM DATA[0]	MIBSPI5 CS[3]	RTP ENA	LIN1 TX	LIN1 RX	12
11	VSS	VSS	VSS		VCC	ETM TRACE CTL	RTP SYNC	RTP DATA[1]	RTP DATA[0]	RTP CLK	11
10	VSS	VSS	VCC		VCC	ETM TRACE CLKOUT	RTP DATA[2]	RTP DATA[3]	MIBSPI3 CS[0]	GI0B[3]	10
	K	L	M	N	P	R	T	U	V	W	




图 2-6. ZWT 封装引脚分配右上象限 (337 焊球) [顶视图]

	A	B	C	D	E	F	G	H	J	K	L	
10	CAN1TX	CAN1RX	EMIF_ADDR[12]	EMIF_DQM[0]	ETM_DATA[15]	VCC		VCC	VSS	VSS	VSS	10
9	NHET [27]	FRAY_TXEN2	EMIF_ADDR[11]	EMIF_ADDR[5]	ETM_DATA[8]	VCC		VSS	VSS	VSS	VSS	9
8	FRAY_RX2	FRAY_TX2	EMIF_ADDR[10]	EMIF_ADDR[4]	ETM_DATA[9]	VCCP		VSS	VSS	VCC	VSS	8
7	LIN2_RX	LIN2_TX	EMIF_ADDR[9]	EMIF_ADDR[3]	ETM_DATA[10]	VCCIO						7
6	GIOA [4]	MIBSPI5_CS[1]	EMIF_ADDR[8]	EMIF_ADDR[2]	ETM_DATA[11]	VCCIO	VCCIO	VCCIO	VCCIO	VCC	VCC	6
5	GIOA [0]	GIOA [5]	EMIF_ADDR[7]	EMIF_ADDR[1]	ETM_DATA[20]	ETM_DATA[21]	ETM_DATA[22]	FLTP2	FLTP1	ETM_DATA[23]	ETM_DATA[24]	5
4	NHET [16]	NHET [12]	EMIF_ADDR[6]	EMIF_ADDR[0]	EMIF_DATA[4]	EMIF_DATA[5]	EMIF_DATA[6]	NHET [21]	NHET [23]	EMIF_DATA[7]	EMIF_DATA[8]	4
3	NHET [29]	NHET [22]	MIBSPI3_CS[3]	NC	NHET [11]	MIBSPI1_CS[1]	MIBSPI1_CS[2]	GIOA [6]	MIBSPI1_CS[3]	NC	NC	3
2	VSS	MIBSPI3_CS[2]	GIOA [1]	NC	NC	GIOB [2]	GIOB [5]	CAN2_TX	GIOB [6]	GIOB [1]	KELVIN_GND	2
1	VSS	VSS	GIOA [2]	NC	GIOA [3]	GIOB [7]	GIOB [4]	CAN2_RX	NHET [18]	OSCIN	OSCOUT	1
	A	B	C	D	E	F	G	H	J	K	L	

图 2-7. ZWT 封装引脚分配左下象限 (337 焊球) [顶视图]



	K	L	M	N	P	R	T	U	V	W	
10	VSS	VSS	VCC		VCC	ETM TRACE CLKOUT	RTP DATA[2]	RTP DATA[3]	MIBSPI3 CS[0]	GIOB[3]	10
9	VSS	VSS	VSS		VCCIO	ETM TRACE CLKIN	RTP DATA[4]	RTP DATA[5]	MIBSPI3 CLK	MIBSPI3 ENA	9
8	VCC	VSS	VSS		VCCIO	ETM DATA[31]	EMIF_DATA[15]	RTP DATA[6]	MIBSPI3 SOMI	MIBSPI3 SIMO	8
7					VCCIO	ETM DATA[30]	EMIF_DATA[14]	RTP DATA[7]	NHET [9]	$\overline{\text{PORRST}}$	7
6	VCC	VCC	VCCIO	VCCIO	VCCIO	ETM DATA[29]	EMIF_DATA[13]	RTP DATA[8]	NHET [5]	MIBSPI5 CS[2]	6
5	ETM DATA[23]	ETM DATA[24]	ETM DATA[25]	ETM DATA[26]	ETM DATA[27]	ETM DATA[28]	EMIF_DATA[12]	RTP DATA[9]	MIBSPI3 CS[1]	NHET [2]	5
4	EMIF_DATA[7]	EMIF_DATA[8]	EMIF_DATA[9]	EMIF_DATA[10]	EMIF_DATA[11]	NC	RTP DATA[11]	RTP DATA[10]	VSS	NC	4
3	NC	NC	NHET [25]	NC	NC	NC	RTP DATA[14]	RTP DATA[13]	RTP DATA[12]	NHET [6]	3
2	GIOB [1]	KELVIN GND	GIOB [0]	NHET [13]	NHET [20]	MIBSPI1 CS[0]	RTP DATA[15]	TEST	NHET [1]	VSS	2
1	OSCIN	OSCOUT	GIOA [7]	NHET [15]	NHET [24]	NC	NHET [7]	NHET [3]	VSS	VSS	1
	K	L	M	N	P	R	T	U	V	W	

图 2-8. ZWT 封装引脚分配右下象限 (337 焊球) [顶视图]

2.5 端子功能

下表描述了器件上的引脚。

注

表缩写: PWR = 电源, GND = 接地, REF = 基准电压, NC = 无连接, IPD = 内部下拉电阻器, IPU=内部上拉电阻器, I/O = 输入/输出, I = 输入, O = 输出

表 2-9. 端子功能

名称	端子				类型	内部上拉/下拉	说明
	TMS570LSXXX16		TMS570LSXXX06				
	337	144	337	144			
高端定时器(NHET)							
NHET[0]	K18	105	K18	105	3.3V I/O	2mA - z	可编程 IPD(20uA)
NHET[1]	V2	42	V2	42			
NHET[2]	W5	56	W5	56			
NHET[3]	U1	41	U1	41			
NHET[4]	B12	121	B12	121			
NHET[5]	V6	44	V6	44			
NHET[6]	W3	48	W3	48			
NHET[7]	T1	109	T1	109			
NHET[8]	E18	112	E18	112			
NHET[9]	V7	57	V7	57			
NHET[10]	D19	116	D19	116			
NHET[11]	E3	117	E3	117			
NHET[12]	B4	8	B4	8			
NHET[13]	N2	26	N2	26			
NHET[14]	A11	138	A11	138			
NHET[15]	N1	113	N1	113			
NHET[16]	A4	142	A4	142			
NHET[17]	A13		A13				
NHET[18]	J1	10	J1	10			
NHET[19]	B13		B13				
NHET[20]	P2	45	P2	45			
NHET[21]	H4	11	H4	11			
NHET[22]	B3	9	B3	9			
NHET[23]	J4	12	J4	12			
NHET[24]	P1	43	P1	43			
NHET[25]	M3		M3				
NHET[26]	A14		A14				
NHET[27]	A9		A9				
NHET[28]	K19	106	K19	106			
NHET[29]	A3		A3				
NHET[30]	B11	137	B11	137			
NHET[31]	J17		J17				

表 2-9. 端子功能 (continued)

端子					类型	内部上拉/下拉	说明	
名称	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
通用 I/O (GIO)								
GIOA[0]/INT0	A5	118	A5	118	3.3V I/O	2mA - z	可编程 IPD (20uA)	
GIOA[1]/INT1	C2	134	C2	134				
GIOA[2]/INT2	C1	141	C1	141				
GIOA[3]/INT3	E1	144	E1	144				
GIOA[4]/INT4	A6	110	A6	110				
GIOA[5]/INT5	B5	111	B5	111				
GIOA[6]/INT6	H3	27	H3	27				
GIOA[7]/INT7	M1	51	M1	51				
GIOB[0]	M2		M2					
GIOB[1]	K2		K2					
GIOB[2]	F2		F2					
GIOB[3]	W10		W10					
GIOB[4]	G1		G1					
GIOB[5]	G2		G2					
GIOB[6]	J2		J2					
GIOB[7]	F1		F1					
FlexRay 控制器 (FLEXRAY)								
请注意：没有 FlexRay 选项的器件应该让所有 FlexRay 引脚未连接 (NC)								
FRAYRX1	A15	126			3.3V I		可编程 IPD (20uA)	FlexRay 数据接收 (通道 1) 引脚
FRAYTX1	B15	124			3.3V O	8mA		FlexRay 数据传输 (通道 1) 引脚
FRAYTXEN1	B16	125				8mA		FlexRay 传输使能 (通道 1) 引脚
FRAYRX2	A8	131			3.3V I		可编程 IPD (20 uA)	FlexRay 数据接收 (通道 2) 引脚
FRAYTX2	B8	129			3.3V O	8mA		FlexRay 数据传输 (通道 2) 引脚
FRAYTXEN2	B9	130				8mA		FlexRay 传输使能 (通道 2) 引脚
CAN 控制器 (DCAN1)								
CAN1TX	A10	50	A10	50	3.3V I/O	2mA - z	可编程 IPU (20uA)	CAN1 传输引脚或 GIO 引脚
CAN1RX	B10	49	B10	49				CAN1 接收引脚或 GIO 引脚
CAN 控制器 (DCAN2)								
CAN2TX	H2	54	H2	54	3.3V I/O	2mA - z	可编程 IPU (20uA)	CAN2 传输引脚或 GIO 引脚
CAN2RX	H1	55	H1	55				CAN2 接收引脚或 GIO 引脚
CAN 控制器 (DCAN3)								
CAN3TX	M18		M18		3.3V I/O	2mA-z	可编程 IPU (20uA)	CAN3 传输引脚或 GIO 引脚
CAN3RX	M19		M19					CAN3 传输引脚或 GIO 引脚

表 2-9. 端子功能 (continued)

端子					类型	内部上拉/下拉	说明	
名称	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
串行通信接口 (SCI) / 本地互连网络(LIN1)								
LIN1RX	W12	53	W12	53	3.3V I/O	2mA-z	可编程 IPU (20uA)	LIN1 数据接收引脚或 GIO 引脚
LIN1TX	V12	52	V12	52				LIN1 数据传输引脚或 GIO 引脚
串行通信接口 (SCI) / 本地互连网络(LIN2)								
LIN2RX	A7	140	A7	140	3.3V I/O	2mA-z	可编程 IPU (20uA)	LIN2 数据接收引脚或 GIO 引脚
LIN2TX	B7	139	B7	139				LIN2 数据传输引脚或 GIO 引脚
多通道缓冲串行外设接口 (MIBSPI1)								
MIBSPI1CLK	F18	17	F18	17	3.3V I/O	4mA	可编程 IPU (20uA)	MIBSPI1 时钟引脚或 GIO 引脚
MIBSPI1CS[0]	R2	23	R2	23		2mA - z		MIBSPI1 从器件芯片选择引脚或 GIO 引脚
MIBSPI1CS[1]	F3	24	F3	24				
MIBSPI1CS[2]	G3	25	G3	25				
MIBSPI1CS[3]	J3		J3			2mA-z		MIBSPI1 使能引脚或 GIO 引脚
MIBSPI1ENA	G19	18	G19	18				
MIBSPI1SIMO	F19	14	F19	14		4mA		MIBSPI1数据流-从器件输入/主器件输出或 GIO 引脚
MIBSPI1SOMI	G18	13	G18	13				MIBSPI1数据流-从器件输出/主器件输入或 GIO 引脚
多通道缓冲串行外设接口 (MIBSPI3)								
MIBSPI3CLK	V9	3	V9	3	3.3V I/O	4mA	可编程 IPU (20uA)	MIBSPI3 时钟引脚或 GIO 引脚
CS]	V10	7	V10	7		2mA-z		MIBSPI3 从器件芯片选择引脚或 GIO 引脚
MIBSPI3CS[1]	V5		V5					
MIBSPI3CS[2]	B2		B2					
MIBSPI3CS[3]	C3		C3			2mA - z		MIBSPI3 使能引脚或 GIO 引脚
MIBSPI3ENA	W9	6	W9	6				
MIBSPI3SIMO	W8	4	W8	4		4mA		MIBSPI3数据流-从器件输入/主器件输出或 GIO 引脚
MIBSPI3SOMI	V8	5	V8	5				MIBSPI3数据流-从器件输出/主器件输入或 GIO 引脚

表 2-9. 端子功能 (continued)

端子					类型	内部上拉/下拉	说明	
名称	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
多缓冲串行外设接口-并行 (MIBS PIP5)								
MIBSPI5CLK/DMMDATA[4]	H19	91	H19	91	3.3V I/O	4mA	MIBSPI5 时钟引脚或 GIO 引脚; DMMDATA [4] 引脚多路复用	
MIBSPI5CS[0]/DMMDATA[5]	E19	92	E19	92		2mA - z	可编程 IPU (20 uA)	MIBSPI5 从器件芯片选择引脚或 GIO 引脚; DMMDATA 引脚多路复用
MIBSPI5CS[1]/DMMDATA[6]	B6	93	B6	93				
MIBSPI5CS[2]/DMMDATA[2]	W6		W6					
MIBSPI5CS[3]/DMMDATA[3]	T12		T12					
MIBSPI5ENA/DMMDATA[7]	H18	94	H18	94				
MIBSPI5SIMO[0]/DMMDATA[8]	J19	95	J19	95	4mA	MIBSPI5 数据流-从器件输入/主器件输出引脚或 GIO; DMMDATA 引脚多路复用		
DMMDATA[9]/MIBSPI5SIMO[1]	E16	96	E16	96				
MIBSPI5SIMO[2]/DMMDATA[10]	H17	97	H17	97				
MIBSPI5SIMO[3]/DMMDATA[11]	G17	98	G17	98				
MIBSPI5SOMI[0]/DMMDATA[12]	J18	99	J18	99				
MIBSPI5SOMI[1]/DMMDATA[13]	E17	100	E17	100				
MIBSPI5SOMI[2]/DMMDATA[14]	H16	101	H16	101	3.3V I/O	2mA - z	可编程 IPD (20uA)	MibADC1 事件输入引脚或 GIO 引脚
MIBSPI5SOMI[3]/DMMDATA[15]	G16	102	G16	102				
多缓冲模拟-数字转换器 (MIBADC1)								
AD1EVT	N19	84	N19	84	3.3V I		MibADC1 模拟输入引脚	
AD1IN[0]	W14	83	W14	83				
AD1IN[1]	V17	82	V17	82				
AD1IN[2]	V18	81	V18	81				
AD1IN[3]	T17	80	T17	80				
AD1IN[4]	U18	79	U18	79				
AD1IN[5]	R17	78	R17	78				
AD1IN[6]	T19	77	T19	77				
AD1IN[7]	V14	76	V14	76				

表 2-9. 端子功能 (continued)

名称	端子				类型	内部上拉/下拉	说明	
	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
多缓冲模拟-数字转换器 (MIBADC2)								
AD2EVT	W13	59	W13	59	3.3V I/O	2mA - z	可编程 IPD (20uA)	MibADC2 事件输入引脚或 GIO 引脚
AD2IN[0]	V13	60	V13	60	3.3V I			MibADC2 模拟输入引脚
AD2IN[1]	U13	61	U13	61				
AD2IN[2]	U14	62	U14	62				
AD2IN[3]	U16	63	U16	63				
AD2IN[4]	U15		U15					
AD2IN[5]	T15		T15					
AD2IN[6]	R19		R19					
AD2IN[7]	R16		R16					
多缓冲模拟-数字转换器共享信号 - (MIBADC1, MIBADC2)								
ADSIN[8]	P18	75	P18	75	3.3V I			MibADC1, MibADC2 共享模拟输入引脚
ADSIN[9]	W17	74	W17	74				
ADSIN[10]	U17	73	U17	73				
ADSIN[11]	U19	72	U19	72				
ADSIN[12]	T16	71	T16	71				
ADSIN[13]	T18	70	T18	70				
ADSIN[14]	R18	69	R18	69				
ADSIN[15]	P19	68	P19	68				
ADREFHI	V15	66	V15	66	3.3V REF			MibADC1, MibADC2 模块高电压基准输入
ADREFLO	V16	65	V16	65	GND REF			MibADC1, MibADC2 模块低电压模拟输入
VCCAD	W15	67	W15	67	3.3V PWR			MibADC1, MibADC2 模拟电源电压
VSSAD	V19	64	V19	64	GND			MibADC1, MibADC2 模拟接地基准
VSSAD	W16		W16					
VSSAD	W18		W18					
VSSAD	W19		W19					
振荡器 (OSC)								
OSCIN	K1	20	K1	20	1.5V I			振荡器输入连接引脚或外部时钟输入引脚
OSCOU	L1	21	L1	21	1.5V O			振荡器输出连接引脚
Kelvin_GND	L2		L2		GND			Kelvin_GND 振荡器

表 2-9. 端子功能 (continued)

名称	端子				类型	内部上拉/下拉	说明	
	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
系统模块 (SYS)								
$\overline{\text{PORRST}}$	W7	28	W7	28	3.3V I		IPD (100 μ A)	复位引脚上的电源。外部电源监测电路必须在该引脚上将一个加电复位位置为有效。
$\overline{\text{RST}}$	B17	85	B17	85	3.3V I/O	4mA	IPU (100 μ A)	低电平有效双向复位引脚。外部器件可以在该引脚上将一个器件复位位置为有效。该引脚上的输出缓冲区被执行为一个开漏电路（只驱动器低电平）。为了确保外部复位不会随意产生，TI 建议将一个外部上拉电阻连接到该引脚。
ECLK	A12	88	A12	88		8mA	IPD (20 μ A)	外部时钟分频器模块输出引脚或 GIO 引脚
测试/调试 (TD)								
TCK	B18	30	B18	30	3.3V I		IPD (100 μ A)	JTAG 测试时钟引脚。为 JTAG 调试逻辑计时。
RTCK	A16	35	A16	35	3.3V O			JTAG 返回测试时钟引脚。(JTAG)
TDI	A17	34	A17	34	3.3V I/O	8mA	IPU (100 μ A)	引脚上的 JTAG 测试数据。
TDO	C18	33	C18	33			IPD (100 μ A)	JTAG 测试数据输出引脚。
TMS	C19	36	C19	36			IPU (100 μ A)	JTAG 串行输入引脚用于控制 CPU 的测试访问端口(TAP) 控制器的状态。
$\overline{\text{TRST}}$	D18	29	D18	29	3.3V I		IPD (100 μ A)	JTAG 测试硬件复位至 TAP。IEEE 标准 1149-1 (JTAG) 边界扫描逻辑
TEST	U2	58	U2	58			IPD (100 μ A)	测试使能引脚。被保留只为内部 TI 使用。为了正确运行，此引脚必须连接地，例如使用一个外部电阻。
错误信令模块 (ESM)								
错误	B14	143	B14	143	3.3V I/O	8mA	IPD (20 μ A)	错误信令引脚
闪存								
FLTP1	J5	122	J5	122				闪存测试焊盘 1 引脚。为了正确运行，该引脚必须只连接至测试焊盘或着根本就不相连。[无连接 (NC)]。在可能受到 ESD 事件影响的成品中，测试焊盘不能暴露在外。
FLTP2	H5	123	H5	123				闪存测试焊盘 2 引脚。为了正确运行，该引脚必须只连接至测试焊盘或着根本就不相连。[无连接 (NC)]。在可能受到 ESD 事件影响的成品中，测试焊盘不能暴露在外。
V _{CCP}	F8	128	F8	128	3.3V PWR			闪存泵电源电压 (3.3V)。此引脚被用于闪存读取、编程和擦除操作。

表 2-9. 端子功能 (continued)

端子					类型	内部上 拉/下拉	说明	
名称	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
RAM 跟踪端口模块 (RTP)								
RTPDATA[0]	V11		V11		3.3V I/O	8mA	可编程 IPU (20uA)	RAM 跟踪端口输出数据信号引脚或 GIO 引脚
RTPDATA[1]	U11		U11					
RTPDATA[2]	T10		T10					
RTPDATA[3]	U10		U10					
RTPDATA[4]	T9		T9					
RTPDATA[5]	U9		U9					
RTPDATA[6]	U8		U8					
RTPDATA[7]	U7		U7					
RTPDATA[8]	U6		U6					
RTPDATA[9]	U5		U5					
RTPDATA[10]	U4		U4					
RTPDATA[11]	T4		T4					
RTPDATA[12]	V3		V3					
RTPDATA[13]	U3		U3					
RTPDATA[14]	T3		T3					
RTPDATA[15]	T2		T2					
RTPEN \bar{A}	U12		U12			2mA-z		数据包握手信号引脚或 GIO 引脚
RTPSYNC	T11		T11			8mA		数据包同步信号引脚或 GIO 引脚
RTPCLK	W11		W11					数据包时钟信号引脚或 GIO 引脚

表 2-9. 端子功能 (continued)

端子					类型	内部上拉/下拉	说明	
名称	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
数据修正模块 (DMM)								
DMMDATA[0]	L19		L19		3.3V I/O	可编程 IPU (20uA)	DMM 数据引脚或 GIO 引脚	
DMMDATA[1]	L18		L18				2mA - z	DMM 数据引脚或 GIO 引脚; 与 MIBSPI5 引脚多路复用
DMMDATA[2]/MIB SPI5CS[2]	W6		W6				4mA	
DMMDATA[3]/MIB SPI5CS[3]	T12		T12					
DMMDATA[4]/MIB SPI5CLK	H19		H19				2mA - z	
DMMDATA[5]/MIB SPI5CS[0]	E19		E19					
DMMDATA[6]/MIB SPI5CS[1]	B6		B6				4mA	
DMMDATA[7]/MIB SPI5ENA	H18		H18					
DMMDATA[8]/MIB SPI5SIMO[0]	J19		J19					
DMMDATA[9]/MIB SPI5SIMO[1]	E16		E16					
DMMDATA[10]/MIB SPI5SIMO[2]	H17		H17					
DMMDATA[11]/MIB SPI5SIMO[3]	G17		G17					
DMMDATA[12]/MIB SPI5SOMI[0]	J18		J18					
DMMDATA[13]/MIB SPI5SOMI[1]	E17		E17					
DMMDATA[14]/MIB SPI5SOMI[2]	H16		H16					
DMMDATA[15]/MIB SPI5SOMI[3]	G16		G16					
DMMENA	F16		F16		8mA	DMM 握手引脚或 GIO 引脚		
DMMSYNC	J16		J16		2mA - z	DMM 同步引脚或 GIO 引脚		
DMMCLK	F17		F17			DMM 时钟输入引脚或 GIO 引脚		

表 2-9. 端子功能 (continued)

名称		端子		类型		内部上拉/下拉	说明
		TMS570LSXXX16	TMS570LSXXX06				
		337	144	337	144		
外部存储器接口模块 (EMIF)							
EMIFBADD[0]	D13		D13		3.3V I/O	8mA	EMIF 字节地址引脚
EMIFBADD[1]	D16		D16				
EMIFDATA[0]	K16		K16		3.3V I/O	8mA	可编程 IPU (20uA) EMIF 数据引脚
EMIFDATA[1]	L16		L16				
EMIFDATA[2]	M16		M16				
EMIFDATA[3]	N16		N16				
EMIFDATA[4]	E4		E4				
EMIFDATA[5]	F4		F4				
EMIFDATA[6]	G4		G4				
EMIFDATA[7]	K4		K4				
EMIFDATA[8]	L4		L4				
EMIFDATA[9]	M4		M4				
EMIFDATA[10]	N4		N4				
EMIFDATA[11]	P4		P4				
EMIFDATA[12]	T5		T5				
EMIFDATA[13]	T6		T6				
EMIFDATA[14]	T7		T7				
EMIFDATA[15]	T8		T8				
EMIFADD[0]	D4		D4		3.3V I/O	8mA	EMIF 地址引脚
EMIFADD[1]	D5		D5				
EMIFADD[2]	D6		D6				
EMIFADD[3]	D7		D7				
EMIFADD[4]	D8		D8				
EMIFADD[5]	D9		D9				
EMIFADD[6]	C4		C4				
EMIFADD[7]	C5		C5				
EMIFADD[8]	C6		C6				
EMIFADD[9]	C7		C7				
EMIFADD[10]	C8		C8				
EMIFADD[11]	C9		C9				
EMIFADD[12]	C10		C10				
EMIFADD[13]	C11		C11				
EMIFADD[14]	C12		C12				
EMIFADD[15]	C13		C13				
EMIFADD[16]	D14		D14				
EMIFADD[17]	C14		C14				
EMIFADD[18]	D15		D15				
EMIFADD[19]	C15		C15				
EMIFADD[20]	C16		C16				
EMIFADD[21]	C17		C17				
EMIFCS[0]	L17		L17		3.3V I/O	8mA	EMIF 芯片选择引脚
EMIFCS[1]	K17		K17				
EMIFCS[2]	M17		M17				
EMIFCS[3]	N17		N17				

表 2-9. 端子功能 (continued)

名称	端子				类型		内部上拉/下拉	说明
	TMS570LSXXX16		TMS570LSXXX06					
	337	144	337	144				
EMIFWE	D17		D17		3.3V I/O	8mA		EMIF 写入使能引脚
EMIFOE	D12		D12		3.3V I/O	8mA		EMIF 输出使能引脚
EMIFDQM[0]	D10		D10		3.3V I/O	8mA		EMIF 字节使能引脚
EMIFDQM[1]	D11		D11					

表 2-9. 端子功能 (continued)

名称	端子				类型	内部上拉/下拉	说明
	TMS570LSXXX16		TMS570LSXXX06				
	337	144	337	144			
嵌入式跟踪模块 (ETM)							
ETMDATA[0]	R12		R12		3.3V O	8mA	ETM 跟踪数据输出引脚
ETMDATA[1]	R13		R13				
ETMDATA[2]	J15		J15				
ETMDATA[3]	H15		H15				
ETMDATA[4]	G15		G15				
ETMDATA[5]	F15		F15				
ETMDATA[6]	E15		E15				
ETMDATA[7]	E14		E14				
ETMDATA[8]	E9		E9				
ETMDATA[9]	E8		E8				
ETMDATA[10]	E7		E7				
ETMDATA[11]	E6		E6				
ETMDATA[12]	E13		E13				
ETMDATA[13]	E12		E12				
ETMDATA[14]	E11		E11				
ETMDATA[15]	E10		E10				
ETMDATA[16]	K15		K15				
ETMDATA[17]	L15		L15				
ETMDATA[18]	M15		M15				
ETMDATA[19]	N15		N15				
ETMDATA[20]	E5		E5				
ETMDATA[21]	F5		F5				
ETMDATA[22]	G5		G5				
ETMDATA[23]	K5		K5				
ETMDATA[24]	L5		L5				
ETMDATA[25]	M5		M5				
ETMDATA[26]	N5		N5				
ETMDATA[27]	P5		P5				
ETMDATA[28]	R5		R5				
ETMDATA[29]	R6		R6				
ETMDATA[30]	R7		R7				
ETMDATA[31]	R8		R8				
ETMTRACECTL	R11		R11		3.3V O	8mA	ETM 控制引脚
ETMTRACECLKOUT	R10		R10		3.3V O	8mA	ETM 时钟输出引脚
ETMTRACECLKIN	R9		R9		3.3V I	IPU (20uA)	ETM 时钟输入引脚

表 2-9. 端子功能 (continued)

端子					类型	内部上拉/下拉	说明
名称	TMS570LSXXX16		TMS570LSXXX06				
	337	144	337	144			
电源电压数字 I/O (3.3V) 和内核(1.5V)							
V _{CCIO}	F6	1	F6	1	3.3V PWR		数字 I/O 电源引脚 请注意：所有的 V _{CCIO} 焊盘都通过封装基板连接到 BGA 封装。没有直接焊接球把焊盘与这个电源相连。
V _{CCIO}	F7	15	F7	15			
V _{CCIO}	F11	40	F11	40			
V _{CCIO}	F12	90	F12	90			
V _{CCIO}	F13	108	F13	108			
V _{CCIO}	F14	119	F14	119			
V _{CCIO}	G6	132	G6	132			
V _{CCIO}	G14		G14				
V _{CCIO}	H6		H6				
V _{CCIO}	H14		H14				
V _{CCIO}	J6		J6				
V _{CCIO}	L14		L14				
V _{CCIO}	M6		M6				
V _{CCIO}	M14		M14				
V _{CCIO}	N6		N6				
V _{CCIO}	N14		N14				
V _{CCIO}	P6		P6				
V _{CCIO}	P7		P7				
V _{CCIO}	P8		P8				
V _{CCIO}	P9		P9				
V _{CCIO}	P12		P12				
V _{CCIO}	P13		P13				
V _{CCIO}	P14		P14				
V _{CCIO}							
V _{CC}	F9	19	F9	19	1.5V PWR		数字内核电源引脚 请注意：通过封装基板把所有 V _{CC} 焊盘连接到 BGA 封装。没有直接焊接球把焊盘与这个电源相连。
V _{CC}	F10	31	F10	31			
V _{CC}	H10	37	H10	37			
V _{CC}	J14	47	J14	47			
V _{CC}	K6	87	K6	87			
V _{CC}	K8	104	K8	104			
V _{CC}	K12	114	K12	114			
V _{CC}	K14	135	K14	135			
V _{CC}	L6		L6				
V _{CC}	M10		M10				
V _{CC}	P10		P10				
V _{CC}	P11		P11				
V _{CC}							

表 2-9. 端子功能 (continued)

端子					类型	内部上 拉/下拉	说明
名称	TMS570LSXXX16		TMS570LSXXX06				
	337	144	337	144			
电源接地							
V _{SS}	A1	2	A1	2	GND		数字电源接地基准引脚 请注意：所有 V _{SS} 焊盘通过封装基板被接 至 BGA 封装。
V _{SS}	A2	16	A2	16			
V _{SS}	A18	22	A18	22			
V _{SS}	A19	32	A19	32			
V _{SS}	B1	38	B1	38			
V _{SS}	B19	39	B19	39			
V _{SS}	H8	46	H8	46			
V _{SS}	H9	86	H9	86			
V _{SS}	H11	89	H11	89			
V _{SS}	H12	103	H12	103			
V _{SS}	J8	107	J8	107			
V _{SS}	J9	115	J9	115			
V _{SS}	J10	120	J10	120			
V _{SS}	J11	127	J11	127			
V _{SS}	J12	133	J12	133			
V _{SS}	K9	136	K9	136			
V _{SS}	K10		K10				
V _{SS}	K11		K11				
V _{SS}	L8		L8				
V _{SS}	L9		L9				
V _{SS}	L10		L10				
V _{SS}	L11		L11				
V _{SS}	L12		L12				
V _{SS}	M8		M8				
V _{SS}	M9		M9				
V _{SS}	M11		M11				
V _{SS}	M12		M12				
V _{SS}	V1		V1				
V _{SS}	W1		W1				
V _{SS}	W2		W2				
V _{SS}	V4		V4				
V _{SS}							
V _{SS}							
V _{SS}							
V _{SS}							
V _{SS}							

2.6 器件支持

2.6.1 器件和开发支持工具命名规则

为了指明产品开发周期的阶段，TI 为所有 器件和支持工具的部件号分配了前缀。每一个商业化系列成员都有三个前缀之一：TMX，TMP 或 TMS（如TMS570LS20216ASPGEQQ1）。德州仪器 (TI) 建议为其支持的工使用三个可能前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

器件开发进化流程：

- TMX** 试验器件不一定代表最终器件的电气技术规格。
- TMP** 最终硅芯片符合器件的电气规范，但尚未完成的质量和可靠性验证。
- TMS** 完全合格的生产器件。

支持工具开发发展流程：

- TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
- TMDS** 完全合格的开发支持产品。

TMX 和 TMP 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

TMS 器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (TMX 或者 TMP) 的故障率大于标准生产器件。由于它们的预计的最终使用故障率仍未定义，德州仪器 (TI) 建议不要将这些器件用于任何生产系统。只有合格的产品器件将被使用。

TI 器件的命名规则也包括一个带有器件系列名称的后缀。这个后缀表示封装类型（例如，PGE），温度范围（例如，“空白”是商业级温度范围），和以兆赫兹为单位的器件的速度范围。

Full Part #	TMS	570	LS	20	2	16	A	S	PGE	Q	Q1	R
Orderable Part #	S	5	LS	20	2	16	A	S	PGE	Q	Q1	R

Prefix: TM

S = Fully TMS Qualified
P = TMP Prototype
X = TMX Samples

Core Technology:

5 = 570 Cortex R4

Architecture:

LS = Lockstep CPUs

Flash Memory Size:

20 = 2MB
10 = 1MB

RAM Memory Size:

2 = 160kB
1 = 128kB

Peripheral Set:

16 = FlexRay
06 = No FlexRay

Die Revision:

Blank = Initial Die
A = 1st Die Revision
B = 2nd Die Revision

Technology/Core Voltage:

S = F035 (130nm), 1.5 V nominal core voltage

Package Type:

PGE = 144p QFP Package [Green]
ZWT = 337p BGA Package [Green]

Temperature Range:

Q = -40...+125°C

Quality Designator:

Q1 = Automotive

Shipping Options:

R = Tape and Reel

A. 对于实际器件零件编号 (P/N) 和订购信息, 请参阅 TI 网站 (<http://www.ti.com>)。

图 2-9. 器件编号惯例(A)

3 复位/中止源

3.1 复位/中止源

器件的复位和中止处理如下表所示。该表显示了错误源、系统模式、错误响应的类型和相应的错误信令模块 (ESM) 通道。仅适用标准的 ARM 异常处理和 ESM 错误。

表 3-1. 复位/中止源

错误源	系统模式	错误响应	ESM 接线图组通道
1) CPU 处理			
精确写入错误 (强序)	用户/特权	精确中止 (CPU)	不可用
精确读取错误 (器件或正常)	用户/特权	精确中止 (CPU)	不可用
不准确读取错误 (器件或正常)	用户/特权	模糊中止 (CPU)	不可用
无效指令	用户/特权	未定义指令陷阱 (CPU) ⁽¹⁾	不可用
MPU 访问冲突	用户/特权	中止 (CPU)	不可用
2) SRAM			
B0 紧耦合存储器 (TCM) (偶) ECC 单一错误 (可更正)	用户/权限	ESM	1.26
B0 TCM (偶) ECC 双错误 (不可更正)	用户/特权	中止 (CPU), ESM => nERROR	3.3
B0 TCM (偶) 无法更正的错误 (即冗余地址解码)	用户/特权	ESM => NMI	2.6
B0 TCM (偶) 地址总线奇偶校验错误	用户/特权	ESM => NMI	2.10
B1 TCM (奇数) 单一错误 (可更正)	用户/特权	ESM	1.28
B1 TCM (奇数) 双错误 (不可更正)	用户/特权	中止 (CPU), ESM => nERROR	3.5
B1 TCM (奇数) 无法更正的错误 (即冗余地址解码)	用户/特权	ESM => NMI	2.8
B1 TCM (奇数) 地址总线奇偶校验错误	用户/特权	ESM => NMI	2.12
3) 具有 ECC 的闪存集成到 CPU			
ECC 单一错误 (可更正)	用户/特权	ESM	1.6
ECC 双错误 (不可更正)	用户/特权吧	中止 (CPU), ESM => nERROR	3.7
无法更正的错误 (即冗余地址标签、冗余运行方式比较、地址总线奇偶校验等)	用户/特权	ESM => NMI	2.4
4) DMA 处理			
读取的外部不准确错误 (使用 OK 响应的非法处理)	用户/特权	ESM	1.5
写入的外部不准确错误 (使用 OK 响应的非法处理)	用户/特权	ESM	1.13
内存访问允许违规	用户/特权	ESM	1.2
内存校验错误	用户/特权	ESM	1.3
5) DMM 处理			
读取的外部不准确错误 (使用 ok 响应的非法处理)	用户/特权	ESM	1.5
写入的外部不准确错误 (使用 ok 响应的非法处理)	用户/特权	ESM	1.13
6) AHB-AP 处理			
读取的外部不准确错误 (使用 ok 响应的非法处理)	用户/特权	ESM	1.5

(1) CPU 之外无法检测到未定义的指令陷阱。陷阱只有当代码到达 CPU 的执行阶段才会被检测到。

表 3-1. 复位/中止源 (continued)

错误源	系统模式	错误响应	ESM 接线图组通道
写入的外部不准确错误 (使用 ok 响应的非法处理)	用户/权限	ESM	1.13
7) HET TU			
具有从器件错误响应的 NCNB (强序) 处理	用户/特权	中断 => VIM	不可用
外部的不准确错误 (使用 ok 响应的非法处理)	用户/特权	中断=>VIM	不可用
内存访问允许违反	用户/特权	ESM	1.9
内存校验错误	用户/特权	ESM	1.8
8) NHET			
内存奇偶校验错误	用户/特权	ESM	1.7
9) MibSPI			
MibSPI1 内存奇偶校验错误	用户/特权	ESM	1.17
MibSPI3 内存奇偶校验错误	用户/特权	ESM	1.18
MibSPI5 内存奇偶校验错误	用户/特权	ESM	1.24
10) MibADC			
MibADC1 内存奇偶校验错误	用户/特权	ESM	1.19
MibADC 内存奇偶校验错误	用户/特权	ESM	1.1
DCAN			
DCAN1 内存奇偶校验错误	用户/特权	ESM	1.21
DCAN2 内存奇偶校验错误	用户/特权	ESM	1.23
DCAN3 内存奇偶校验错误	用户/特权	ESM	1.22
PLL			
PLL 跳周错误	用户/特权	ESM	1.10
13) 时钟监视器			
时钟监视器中断	用户/特权	ESM	1.11
14) CCM			
自检故障	用户/特权	ESM	1.31
比较故障	用户/特权	ESM => NMI	2.2
FlexRay			
内存奇偶校验错误	用户/特权	ESM	1.12
16) FlexRay TU			
具有从器件错误响应的 NCNB (强序) 处理	用户/特权	中断=>VIM	不可用
外部的不准确错误 (使用 ok 响应的非法处理)	用户/特权	中断 => VIM	不可用
内存访问允许违反	用户/特权	ESM	1.16
内存奇偶校验错误	用户/特权	ESM	1.14
VIM			
内存奇偶校验错误	用户/特权	ESM	1.15
18) 电压监控器			
VMON 超出电压范围	不可用	复位	不可用
19) CPU 自检 (LBIST)			
CPU 自检 (LBIST) 错误	用户/特权	ESM	1.27
20) SYSESR 寄存器中反映的错误			
加电复位; VCC 超出电压范围	不可用	复位	不可用
振荡器故障 / PLL 跳周 ⁽²⁾	不可用	复位	不可用
超过安全设置时限	不可用	复位	不可用

(2) 系统寄存器 PLLCTL1 中可配置振荡器故障 / PLL 跳周来生成复位。

表 3-1. 复位/中止源 (continued)

错误源	系统模式	错误响应	ESM 接线图组通道
CPU 复位	不可用	复位	不可用
软件复位	不可用	复位	不可用
外部复位	不可用	复位	不可用

4 外设

4.1 错误信令模块 (ESM)

错误信令模块 (ESM) 通过中断和外部错误引脚来表示一个严重的器件故障。错误引脚通常被外部器件用于复位控制器和/或保持系统在故障安全状态。

ESM 模块由每个都具有 32 输入的三个错误组组成。中断的生成与错误引脚的激活在下表所示。下表显示了 ESM 错误源及其相应的组和通道编号。

表 4-1. ESM 组

错误组	中断, 级别	对错误引脚的影响
组 1	可屏蔽的, 低/高	可配置的
组 2	不可屏蔽的, 高	固定的
组 3	没有, 没有	固定的

表 4-2. ESM 分配

错误源	组	通道
被保留	组 1	0
MibADC2 - 奇偶校验	组 1	1
DMA - MPU	组 1	2
DMA - 奇偶校验	组 1	3
被保留	组 1	4
DMA/DMM的/AHB-AP - 不精确的读取错误	组 1	5
闪存 (ATCM) - 可纠正的错误	组 1	6
NHET - 奇偶校验	组 1	7
HET TU - 奇偶校验	组 1	8
HET TU - MPU	组 1	9
PLL - 调周	组 1	10
时钟监视器 - 中断	组 1	11
FlexRay - 奇偶校验	组 1	12
DMA/DMM/AHB-AP - 不精确的写入错误	组 1	13
FlexRay TU - 奇偶校验	组 1	14
VIM RAM - 奇偶校验	组 1	15
FlexRay TU - MPU	组 1	16
MibSPI1 - 奇偶校验	组 1	17
MibSPI3 - 奇偶校验	组 1	18
MibADC1 - 奇偶校验	组 1	19
被保留	组 1	20
DCAN1 - 奇偶校验	组 1	21
DCAN3 - 奇偶校验	组 1	22
DCAN2 - 奇偶校验	组 1	23
MibSPI5 - 奇偶校验	组 1	24
被保留	组 1	25
RAM 偶数组 (B0TCM) - 可纠正的错误	组 1	26
CPU - 自检	组 1	27
RAM 奇数组 (B1TCM) - 可纠正的错误	组 1	28
被保留	组 1	29
被保留	组 1	30
CCM - R4 - 自检	组 1	31

表 4-2. ESM 分配 (continued)

错误源	组	通道
被保留	组 2	0
被保留	组 2	1
CCM-R4 - 比较	组 2	2
被保留	组 2	3
闪存 (ATCM) - 不可纠正的错误	组 2	4
被保留	组 2	5
RAM 偶数组 (B0TCM) - 不可纠正的错误	组 2	6
被保留	组 2	7
RAM 奇数组 (B1TCM) - 不可纠正的错误	组 2	8
被保留	组 2	9
RAM 偶组合 (B0TCM) - 地址总线奇偶校验错误	组 2	10
被保留	组 2	11
RAM 奇数组 (B1TCM) - 地址总线奇偶校验错误	组 2	12
被保留	组 2	13
被保留	组 2	14
被保留	组 2	15
闪存 (ATCM) - ECC 活锁检测	组 2	16
被保留	组 2	17
被保留	组 2	18
被保留	组 2	19
被保留	组 2	20
被保留	组 2	21
被保留	组 2	22
被保留	组 2	23
被保留	组 2	24
被保留	组 2	25
被保留	组 2	26
被保留	组 2	27
被保留	组 2	28
被保留	组 2	29
被保留	组 2	30
被保留	组 2	31
被保留	组 3	0
被保留	组 3	1
被保留	组 3	2
RAM 偶数组 (B0TCM) - ECC 不可纠正的错误	组 3	3
被保留	组 3	4
RAM 奇数组 (B1TCM) - ECC 不可纠正的错误	组 3	5
被保留	组 3	6
闪存 (ATCM) - ECC 不可纠正的错误	组 3	7
被保留	组 3	8
被保留	组 3	9
被保留	组 3	10
被保留	组 3	11
被保留	组 3	12
被保留	组 3	13
被保留	组 3	14

表 4-2. ESM 分配 (continued)

错误源	组	通道
被保留	组 3	15
被保留	组 3	16
被保留	组 3	17
被保留	组 3	18
被保留	组 3	19
被保留	组 3	20
被保留	组 3	21
被保留	组 3	22
被保留	组 3	23
被保留	组 3	24
被保留	组 3	25
被保留	组 3	26
被保留	组 3	27
被保留	组 3	28
被保留	组 3	29
被保留	组 3	30
被保留	组 3	31

4.2 直接内存访问 (DMA)

直接内存访问 (DMA) 控制器传输和接收数据到任何器件内存映射中的指定位置。DMA 支持片上存储器和外设这两者的数据传输。

在此设备上的 DMA 控制器支持 16 个通道和 32 个请求线路。32 个 DMA 请求的每一个被默认分配给 16 个可用通道之一。对于多个源之间的多路复用 DMA 请求，DMA 控制器不能区分多个源，因此用户必须确保不同时启用多个源。更多详细信息，请参阅 TRM 中的 DMA 技术规格。

DMA 请求配置如下表所示。

表 4-3. DMA 请求线连接

模块	DMA 请求源	DMA 请求
MIBSPI1	MIBSPI1[1] ⁽¹⁾	DMAREQ[0]
MIBSPI1	MIBSPI1[0] ⁽²⁾	DMAREQ[1]
被保留	被保留	DMAREQ[2]
被保留	被保留	DMAREQ[3]
MIBSPI1/MIBSPI3/DCAN2	MIBSPI1[2]/MIBSPI3[2]/DCAN2 IF3	DMAREQ[4]
MIBSPI1/MIBSPI3/DCAN2	MIBSPI1[3]/MIBSPI3[3]/DCAN2 IF2	DMAREQ[5]
MIBSPIP5/DCAN1	MIBSPIP5[2]/DCAN1 IF2	DMAREQ[6]
MIBADC1/MIBSPIP5	MIBADC1 事件/MIBSPIP5[3]	DMAREQ[7]
MIBSPI1/MIBSPI3/DCAN1	MIBSPI1[4]/MIBSPI3[4]/DCAN1 IF1	DMAREQ[8]
MIBSPI1/MIBSPI3/DCAN2	MIBSPI1[5]/MIBSPI3[5]/DCAN2 IF1	DMAREQ[9]
MIBADC1/MIBSPIP5	MIBADC1 G1/MIBSPIP5[4]	DMAREQ[10]
MIBADC1/MIBSPIP5	MIBADC1 G2/MIBSPIP5[5]	DMAREQ[11]
RTI/MIBSPI1/MIBSPI3	RTI DMAREQ0/MIBSPI1[6]/MIBSPI3[6]	DMAREQ[12]
RTI/MIBSPI1/MIBSPI3	RTI DMAREQ1/MIBSPI1[7]/MIBSPI3[7]	DMAREQ[13]
MIBADC2/MIBSPI3/MIBSPIP5	MIBADC2 事件/MIBSPI3[1] ⁽¹⁾ /MIBSPIP5[6]	DMAREQ[14]
MIBSPI3/MIBSPIP5	MIBSPI3[0]†/MIBSPIP5[7]	DMAREQ[15]
MIBADC2/MIBSPI1/MIBSPI3/DCAN1	MIBADC2 G1/MIBSPI1[8]/MIBSPI3[8]/DCAN1 IF3	DMAREQ[16]
MIBADC2/MIBSPI1/MIBSPI3/DCAN3	MIBADC2 G2/MIBSPI1[9]/MIBSPI3[9]/DCAN3 IF1	DMAREQ[17]
RTI/MIBSPIP5	RTI DMAREQ2/MIBSPIP5[8]	DMAREQ[18]
RTI/MIBSPIP5	RTI DMAREQ3/MIBSPIP5[9]	DMAREQ[19]
LIN2/NHET/DCAN3	LIN2 接收/NHET DMAREQ[4]/DCAN3 IF2	DMAREQ[20]
LIN2/NHET/DCAN3	LIN2 传输/NHET DMAREQ[5]/DCAN3 IF3	DMAREQ[21]
MIBSPI1/MIBSPI3/MIBSPIP5	MIBSPI1[10]/MIBSPI3[10]/MIBSPIP5[10]	DMAREQ[22]
MIBSPI1/MIBSPI3/MIBSPIP5	MIBSPI1[11]/MIBSPI3[11]/MIBSPIP5[11]	DMAREQ[23]
NHET/MIBSPIP5	NHET DMAREQ[6]/MIBSPIP5[12]	DMAREQ[24]
NHET/MIBSPIP5	NHET DMAREQ[7]/MIBSPIP5[13]	DMAREQ[25]
CRC/MIBSPI1/MIBSPI3	CRC DMAREQ[0]/MIBSPI1[12]/MIBSPI3[12]	DMAREQ[26]
CRC/MIBSPI1/MIBSPI3	CRC DMAREQ[1]/MIBSPI1[13]/MIBSPI3[13]	DMAREQ[27]
LIN1/MIBSPIP5	LIN1 接收/MIBSPIP5[14]	DMAREQ[28]
LIN1/MIBSPIP5	LIN1 传输/MIBSPIP5[15]	DMAREQ[29]
MIBSPI1/MIBSPI3/MIBSPIP5	MIBSPI1[14]/MIBSPI3[14]/MIBSPIP5[1] ⁽¹⁾	DMAREQ[30]
MIBSPI1/MIBSPI3/MIBSPIP5	MIBSPI1[15]/MIBSPI3[15]/MIBSPIP5[0] ⁽²⁾	DMAREQ[31]

(1) SPI1, SPI3, SPI5 在标准 SPI / 兼容模式下接收

(2) SPI1, SPI3, SPI5 在标准 SPI / 兼容模式下传输

4.3 高端定时器传输单元 (HET-TU)

该高端定时器传输单元 (HET-TU) 是一个本地直接内存访问 (DMA) 模块。它是专为高端计时器 (NHET) 和 CPU 数据 SRAM 之间相互传输是数据设计的。HET 软件控制由哪一个 HET 指令向传送装置生成传输请求。更多有关 NHET 和 HET-TU 的信息中可以在技术参考手册 (TRM) 中找到。HET-TU 支持 8 个通道。

下表给出了 HET-TU 请求分配。

表 4-4. NHET 请求线连接

模块	请求源	HET 转移单位请求
NHET	HTUREQ[0]	HET TU DCP[0]
NHET	HTUREQ[1]	HET TU DCP[1]
NHET	HTUREQ[2]	HET TU DCP[2]
NHET	HTUREQ[3]	HET TU DCP[3]
NHET	HTUREQ[4]	HET TU DCP[4]
NHET	HTUREQ[5]	HET TU DCP[5]
NHET	HTUREQ[6]	HET TU DCP[6]
NHET	HTUREQ[7]	HET TU DCP[7]

4.4 矢量中断管理器 (VIM)

向量中断管理器 (VIM) 为器件上的许多中断源进行优先级排序以及控制这些中断源提供了硬件支持。来自器件模块 (即 SPI, LIN, SCI 等) 的中断请求被分配到 64 通道 VIM 内的通道。设定到同一 VIM 通道的多个中断源有效地共享了源之间的 VIM 通道。VIM 请求通道是可屏蔽的, 以便可选择性地禁用单个通道。在 VIM 内的所有中断请求可以被编程为任一类型:

- 快速中断请求 (FIQ) - 在 Cortex-R4F 中实施的 FIQ 快速中断是不可屏蔽的(NMFI)。
- 正常中断请求 (IRQ)

VIM 对中断优先级排序, 请求通道的优先顺序随着 VIM (0 [最高] 和 64 [最低] 优先级) 中的上升通道顺序而降低。对于 VIM 的缺省映射, 通道优先级, 和其相关的模块, 请参见下表。有关 VIM 的更多信息, 可以在技术参考手册 (TRM) 中找到。

表 4-5. 中断请求分配

模块	中断源	VIM 缺省中断请求
ESM	ESM 高级别中断 (NMI)	0
保留	(NMI)	1
RTI	RTI 比较中断 0	2
RTI	RTI 比较中断 1	3
RTI	RTI 比较中断 2	4
RTI	RTI 比较中断 3	5
RTI	RTI 溢出中断 0	6
RTI	RTI 溢出中断 1	7
RTI	RTI 时基	8
GIO	GIO 中断 A	9
NHET	NHET 1 级中断	10
HET TU	NHET TU 1 级中断	11
MIBSPI1	MIBSPI1 0 级中断	12
LIN1 (包括SCI)	LIN1 0 级中断	13
MIBADC1	MIBADC1 事件组中断	14
MIBADC1	MIBADC1 sw 组 1 中断	15
DCAN1	DCAN1 0 级中断	16
被保留	被保留	17
FlexRay	FlexRay 0 级中断	18
CRC	CRC 中断	19
ESM	ESM 低级中断	20
系统	软件中断 (SSI)	21
CPU	PMU 中断	22
GIO	GIO 中断 B	23
NHET	NHET 2 级中断	24
HET TU	NHET TU 2 级中断	25
MIBSPI1	MIBSPI1 1 级中断	26
LIN1 (包含SCI)	LIN1 1 级中断	27
MIBADC1	MIBADC1 sw 组 2 中断	28
DCAN1	DCAN1 1 级中断	29
被保留	被保留	30
MIBADC1	MIBADC1 振幅中断	31
FlexRay	FlexRay 1 级中断	32
DMA	FTCA 中断	33
DMA	LFSA 中断	34
DCAN2	DCAN2 0 级中断	35

表 4-5. 中断请求分配 (continued)

模块	中断源	VIM 缺省中断请求
DMM	DMM 0 级中断	36
MIBSPI3	MIBSPI3 0 级中断	37
MIBSPI3	MIBSPI3 1 级中断	38
DMA	HBCA 中断	39
DMA	BTCA 中断	40
被保留	被保留	41
DCAN2	DCAN2 1 级中断	42
DMM	DMM 1 级中断	43
DCAN1	DCAN1 IF3 中断	44
DCAN3	DCAN3 0 级中断	45
DCAN2	DCAN2 IF3 中断	46
FPU	FPU 中断	47
FlexRay TU	FlexRay TU 转移状态中断	48
LIN2 (包含SCI)	LIN2 0 级中断	49
MIBADC2	MIBADC2 事件组中断	50
MIBADC2	MIBADC2 sw 组 1 中断	51
FlexRay	FlexRay TOC 中断	52
MIBSPIP5	MIBSPIP5 0 级中断	53
LIN2 (含SCI)	LIN2 1 级中断	54
DCAN3	DCAN3 1 级中断	55
MIBSPIP5	MIBSPIP5 1 级中断	56
MIBADC2	MIBADC2 sw 组 2 中断	57
FlexRay TU	FlexRay TU 错误中断	58
MIBADC2	MIBADC2 振幅中断	59
DCAN3	DCAN3 IF3 中断	60
被保留	被保留	61
FlexRay	FlexRay T1C 中断	62
被保留	被保留	63

请注意：VIM RAM 中的地址位置 0X00000000 为幻像中断 ISR 条目所保留。

4.5 MIBADC 事件触发源

所有三个转换组可以被配置为事件触发操作，以此来提供多达三个的事件触发组。

针对 MibADC 可从下面的第一个表，针对 MibADC2 可从下面第二个表中的确定的选项中为组 1，组 2，和事件组单独选择触发源和极性。

表 4-6. MIBADC1 事件触发源

事件 #	针对 G1, G2 或事件 (G1SRC[2:0], G2SRC[2:0]或 EVSRC[2:0]) 的源选择位	试验线路
1	000	AD1EVT
2	001	NHET[8]
3	010	NHET[10]
4	011	RTI 比较 0
5	100	NHET[17]
6	101	NHET[19]
7	110	GIOB[0]
8	111	GIOB[1]

注

触发出现，即使引脚是不可用的。

表 4-7. MIBADC2 事件触发源

事件 #	针对 G1, G2 或事件 (G1SRC[2:0], G2SRC[2:0]或 EVSRC[2:0]) 的源选择位	试验线路
1	000	AD2EVT
2	001	NHET[8]
3	010	NHET[10]
4	011	RTI 比较 0
5	100	NHET[17]
6	101	NHET[19]
7	110	GIOB[0]
8	111	GIOB[1]

注

触发出现，即使引脚是不可用的。

通过把相应的器件引脚配置为输入引脚并从一个外部源驱动它们，或通过把它们配置为输出引脚并通过软件驱动它们，应用使用这些信号生成触发条件。该引脚没必要出现在封装上以便能够被用作一个触发器。

当中断情况发生时，中断请求信号 (RTI 比较 0) 被驱动为高电平。因此，如果要求 ADC 在被置为有效的中断上被触发，为这个触发源选择上升沿。ADC 仍可使用中断线的下降沿触发。在这种情况下，当中断线被置为无效时，出现下降沿。

4.6 MIBSPI

4.6.1 MIBSPI 事件触发源

多缓冲串行外设接口 (MIBSPI) 有一个可编程的缓冲存储器, 该缓冲器可使数据在无需CPU 干预的情况下完成传输。缓冲器被结合在不同转移组 (TG) 中, 这些组合可以由外部事件, 如 I/O 活动, 定时器或由内部时钟计数器触发。内部时钟计数器支持事件的定期触发。MibSPI 的每个缓冲器可以与在不同的 TG 内与不同 DMA 通道相关联, 从而使用户能够用最小的 CPU 交互在内部存储器和外部从器件之间移动的数据。

表 4-8. MIBSPI1 事件触发源

事件	TGxCTRL TRIGSRC[3:0]	试验线路
禁用	0000	没有触发源
事件 0	0001	GIOA[0]
事件 1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	NHET[8]
事件 9	1010	NHET[10]
事件 10	1011	NHET[12]
事件 11	1100	NHET[14]
事件 12	1101	NHET[16]
事件 13	1110	NHET[18]
事件 14	1111	内部时钟计数器

表 4-9. MIBSPI3 事件触发源

事件	TGxCTRL TRIGSRC[3:0]	试验线路
被禁用	0000	没有触发源
事件 0	0001	GIOA[0]
事件 1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	NHET[8]
事件 9	1010	NHET[10]
事件 10	1011	NHET[12]
事件 11	1100	NHET[14]
事件 12	1101	NHET[16]
事件 13	1110	NHET[18]
事件 14	1111	内部时钟计数器

表 4-10. MIBSPI5 事件触发源

事件	TGxCTRL TRIGSRC[3:0]	试验电路
禁用	0000	没有触发源
事件 0	0001	GIOA[0]
EVENT1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	NHET[8]
事件 9	1010	NHET[10]
事件 10	1011	NHET[12]
事件 11	1100	NHET[14]
事件 12	1101	NHET[16]
事件 13	1110	NHET[18]
事件 14	1111	内部计数器

4.6.2 MIBSPI5/DMM 引脚多路复用

MIBSPI5 和 DMM 引脚的多路复用是由 MIBSPI5 模块和 DMM 模块的状态控制的。如果启用 DMM 模块且禁用 MIBSPI5 模块，引脚将拥有 DMM 的功能；不管 DMM 模块是什么状态，如果启用了 MIBSPI5，引脚将拥有 MIBSPI 的功能。因为他们不是多路复用的，DMMCLK, DMMSYNC, DMMENA和 DMMDATA[1:0] 功能一直不受 MIBSPI5 配置控制。相关引脚编号，可以在端子功能章节的 MIBSPI5 和 DMM 部分找到。下表显示了 MIBSPI5 和 DMM 数据引脚多路复用。

表 4-11. MIBSPI5 引脚多路复用

MIBSPI5 被启用	DMM 被启用而 MIBSPI5 禁用
MIBSPI5CLK	DMMDATA[4]
$\overline{\text{MIBSPI5CS}}[0]$	DMMDATA[5]
$\overline{\text{MIBSPI5CS}}[1]$	DMMDATA[6]
$\overline{\text{MIBSPI5CS}}[2]$	DMMDATA[2]
$\overline{\text{MIBSPI5CS}}[3]$	DMMDATA[3]
MIBSPI5ENA	DMMDATA[7]
MIBSPI5SIMO[0]	DMMDATA[8]
MIBSPI5SIMO[1]	DMMDATA[9]
MIBSPI5SIMO[2]	DMMDATA[10]
MIBSPI5SIMO[3]	DMMDATA[11]
MIBSPI5SOMI[0]	DMMDATA[12]
MIBSPI5SOMI[1]	DMMDATA[13]
MIBSPI5SOMI[2]	DMMDATA[14]
MIBSPI5SOMI[3]	DMMDATA[15]

4.7 ETM

该器件包含一个 ARM Cortex™-R4F 带有 32 位数据端口的外部跟踪宏单元 (ETM-R4)。该 ETM R4 模块被一个 32 位的数据总线连接到一个测试端口接口单元 (TPIU)。ETM R4 是兼容 CoreSight 的，并遵循 ARM ETM v3 技术规格；详细内容见请见《ARM CoreSight™ETM-R4 Revr0p0 TRM 说明书修订版本 0p0》。ETM R4 只支持“半速率时钟”。

ETM 时钟源可被选作 VCLK 或者外部 ETMTRACECLKIN 引脚。由 TPIU 的 EXTCTRL0UT[1:0] 控制位完成该选择；默认为“00”。

表 4-12. ETMTRACECLKIN 选择

EXTCTRL0UT[1:0]	TPIU/TRACECLKIN
00	零绑定
01	VCLK
10	ETMTRACECLKIN
11	零绑定

4.8 调试扫描链

该器件包含一个访问调试扫描链的 ICEPICK 模块。调试扫描链 #0 负责处理到 CPU, ETM R4 (外部跟踪宏单元), POM (参数叠加模块) 和 TPIU (测试端口接口单元) 的访问。调试扫描链 #1 负责处理到 RAM 跟踪端口(RTP) 和到每个都包含一个专用的 TAP (测试访问端口) 控制器的数据修改模块 (DMM) 的访问。通过它的扫描链编号选择每个模块。IcePick 扫描 ID 是 0x80206D05, 这与器件 ID 相同。

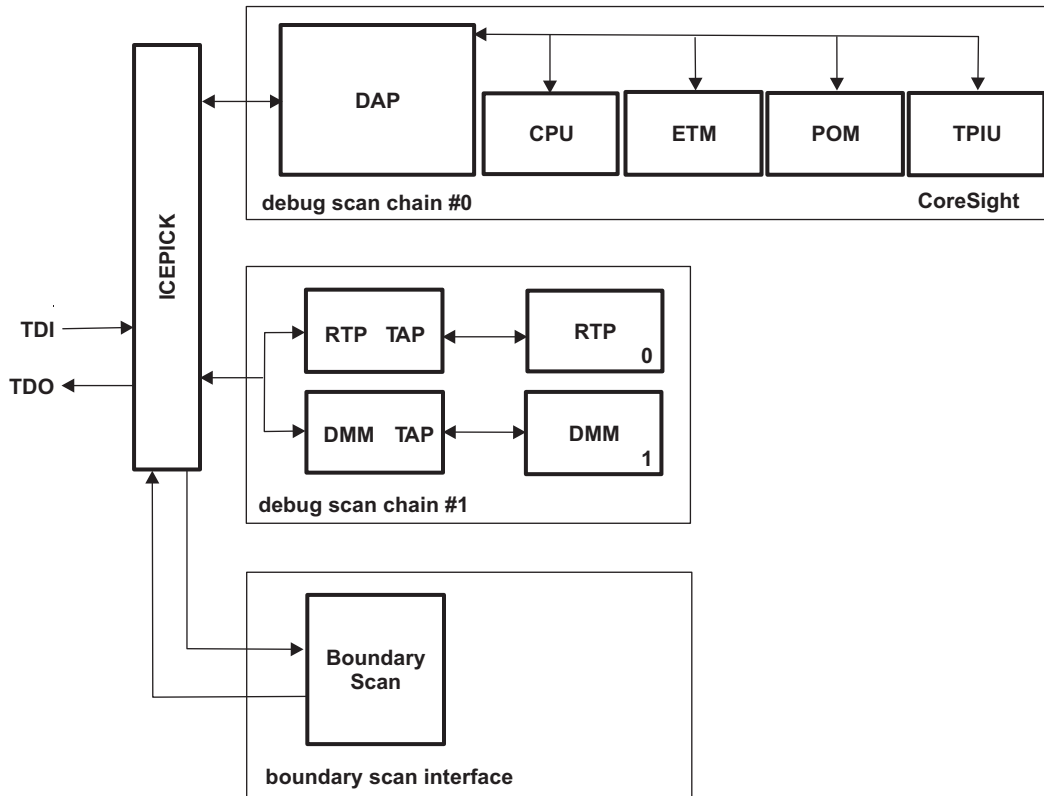


图 4-1. 调试扫描链

4.8.1 JTAG

该器件的 32 位 JTAG ID 的代码是 0x0B7B302F。

4.9 CCM

4.9.1 双内核执行

该单片机有两个 Cortex-R4 内核，在此比较在 CCM-R4 上的两个 CPU 的输出信号（内核比较模块）。为了避免共模影响要进行比较的 CPU 的信号，以不同的方式延迟这些信号，如下图所示。

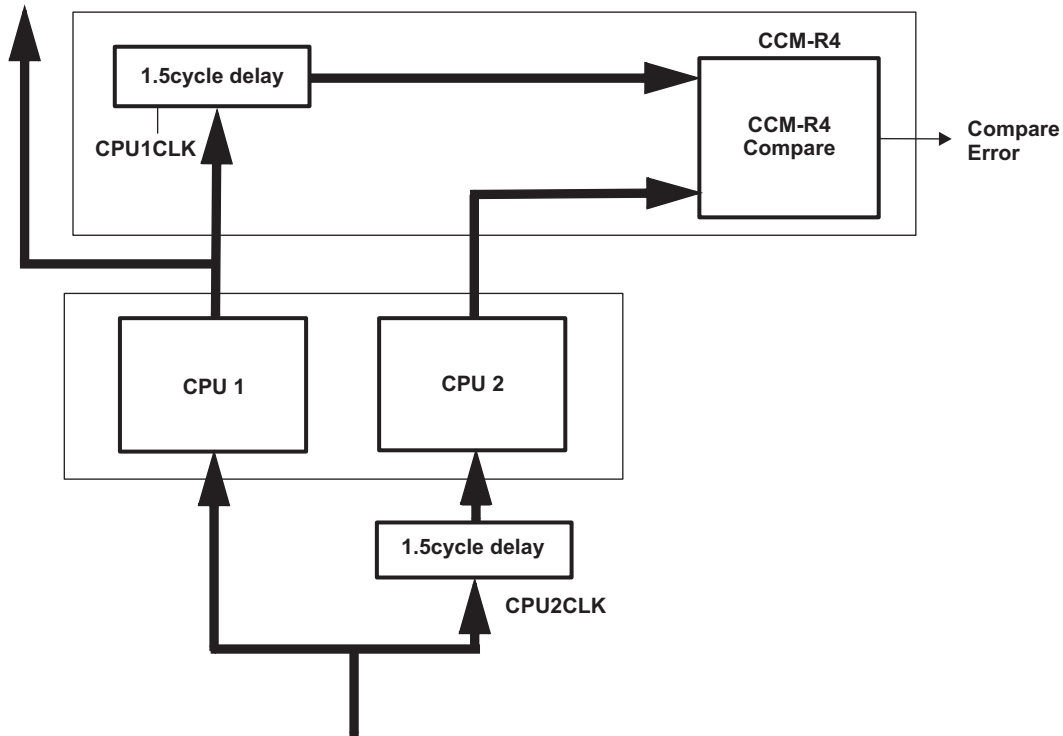


图 4-2. 双内核执行

4.9.2 CCM-R4

为了避免错误的 CCM-R4 比较错误，在第一个函数调用或其他把 CPU 寄存器放置到堆栈操作前，应用软件必须确保两个 CPU 都具有相同的初始化值。所有 CCM-R4 错误迫使测试模式速度被限制在 100MHz HCLK 上。

4.10 LPM

TMS570 平台设备支持多个低功耗模式。这些不同的模式可以让用户在低功耗模式与功能和唤醒时间器件权衡电流消耗量。

在此器件上受支持的低功耗模式为打盹模式，贪睡模式和睡眠模式；详细说明，请参阅《技术参考手册》的架构部分。

4.11 电压监视器

在此器件上已执行电压监视器。这个电压监视器的目的是，当给内核电源和 I/O 电源电压上电时，消除对一个特定序列的要求。它还减少了当加电、断电或者欠压时内存受损或 I/O 引脚上毛刺脉冲的风险。当电源电压在范围之外时，电压监视器仍然需要一个电压监控器来保证器件被保留在复位状态。可以在《器件电气规格》的 Vmon 章节的找到电压监控器阈值。

当电压监视器在 I/O 电源上检测到一个低电压时，它将一个复位置为有效。当电压监视器在内核电源上检测到一个低电压时，它以异步方式使所有输出引脚高阻抗，并将一个复位置为有效。当该器件是在中止模式时，电压监控被禁用。

电压监视器有三个过滤功能：

- 它拒绝 **PORRST** 引脚上的短下降毛刺。
- 它抑制 VCCIO 电源上的噪音
- 它抑制 VCC 电源上的噪声

请注意，受多项因素影响，VCC 和 VCCIO 毛刺仍然可以破坏系统。下表给出了可被 VCC 和 VCCIO 电源上的电压监视器过滤的噪音的宽度。比最小值小的毛刺将被过滤掉，比最大值大的毛刺被保证产生一个复位。将在 **PORRST** 引脚上过滤的毛刺脉冲持续时间可以在表 7-6，《**PORRST** 的时序要求》中找到。

表 4-13. VMON 电源毛刺脉冲过滤能力

参数	最小值	最大值
VCC 上可以过滤掉的毛刺脉冲的宽度	300ns	1us
VCCIO 上可以过滤掉的毛刺脉冲的宽度	300ns	1us

4.12 CRC

MCRC 控制器是一个用于执行 CRC（循环冗余校验）以便验证存储系统的完整性的模块。当存储器中的内容被读入 MCRC 控制器时，一个信号代表得到了内存内容。MCRC 控制器的职责是为一组数据计算信号，然后把计算过的信号与预先确定的良好的信号值相比较。MCRC 控制器提供多达四个通道以便在多个并联的存储器上执行 CRC 计算，并可被用于任何存储系统上。通道 1 还可以处于数据跟踪模式。在数据跟踪模式中，MCRC 控制器压缩通过 CPU 读取数据总线来正在被读取的数据。

当在 PSA 模式中使用 MCRC 模块时，且同时启用 ECC，为了避免损坏 PSA 值，总线主控（例如 FTU，HTU，DMA 或 CPU）不应写入数据 RAM (TCRAM)。

4.13 系统模块访问

下表给出了系统模块的访问模式和访问权限。

表 4-14. 系统模块访问

域	模块	模块使用的访问模式	访问模块 RAMS 所需的访问权限
系统	VIM	不可用	特权模式 (RWP)
系统	RTP	不可用	特权模式 (RWP)
系统	DMA	用户模式	特权模式 (RWP)
外设	HTU	特权模式	特权模式 (RWP)
外设	FTU	用户和特权模式	用户和特权模式 (RW)

4.14 调试 ROM

调试 ROM 存储了在调试 APB 总线上组件的位置。

表 4-15. 调试 ROM 表

地址	说明	值
组件表		
0x000	到 Cortex-R4 的指针	0x00001003
0x000	ETM	0x00002003
0x000	TPIU	0x00003003
0x000	POM	0x00004003
0x001	表尾	0x00000000

4.15 CPU 自检控制器: STC/LBIST

通过把一个确定性逻辑 BIST (LBIST) 控制器用作测试引擎, CPU 自检控制器 (STC) 被用来测试 ARM CPU 内核。STC 有把完整的测试运行划分成较小的独立测试集 (间隔) 的能力。下表给出了测试覆盖和每个测试时间间隔的测试执行周期数。

STC/LBIST 的最大时钟速率是:

- 当在 BGA 封装上的 HCLK = 160MHz/VCLK = 80MHz 时是 53.333MHz
- 当在 QFP 和 BGA 封装上 HCLK=160MHz/VCLK=100MHz 时, 是 50MHz
- 当在 QFP 和 BGA 封装上 HCLK=140MHz/VCLK=70MHz 时是 50MHz

为了在 CPU 自检时得到一个适当的时钟速率, 执行了 1 个 STC 时钟分频器。时钟分频器被地址为 0xFFFF E108 的二次系统模块框架中的 STCCLKDIV 寄存器的 CLKDIV 位设置。CPU 自测 LBIST 时钟分频器的默认值的被设置为“除以 1”。

注

执行 CPU 自检时的电源电流与当前器件的运行模式电流是不同的。可以在 I_{cc} Section 6.4 部分中找到这些值。

表 4-16. STC/LBIST 测试覆盖和持续时间

间隔	测试覆盖率	测试周期 (STC 时钟周期)
0	0%	0
1	57.14%	1,555
2	65.82%	3,108
3	70.56%	4,661
4	73.56%	6,214
5	76.06%	7,767
6	78.07%	9,320
7	79.62%	10,873
8	80.92%	12,426
9	82.1%	13,979
10	82.94%	15,532
11	83.76%	17,085
12	84.51%	18,638
13	85.12%	20,191
14	85.62%	21,744
15	86.19%	23,297
16	86.56%	24,850
17	86.97%	26,403
18	87.33%	27,956
19	87.67%	29,509
20	88.01%	31,062
21	88.31%	32,615
22	88.58%	34,168
23	88.87%	35,721
24	89.11%	37,274
25	89.34%	38,827
26	89.59%	40,380
27	89.82%	41,933
28	90.05%	43,486
29	90.26%	45,039

表 4-16. STC/LBIST 测试覆盖和持续时间 (continued)

间隔	测试覆盖率	测试周期 (STC 时钟周期)
30	90.46%	46,592
31	90.64%	48,145
32	90.84%	49,698

5 器件寄存器

5.1 器件识别码寄存器

该器件识别码寄存器确定了器件的几个方面，包括芯片版本。器件识别码寄存器的详细信息显示在图 5-1 中。该器件的器件识别码寄存器值是：

- 版本 A = 0x80206D05
- 版本 A = 0x80206D0D

图 5-1. 器件 ID 位分配寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CP-15	唯一 ID														16
R-1	R-00000 0000 10000														R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TECH		I/O 电压	外设奇偶校验	闪存 ECC		RAM ECC	版本					1	0	1	
R-011		R-0	R-1	R-10		R-1	R-1					R-1	R-0	R-1	

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值；D=器件相关

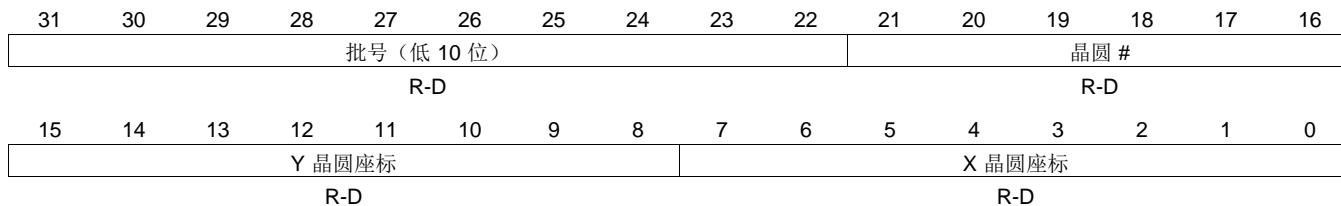
表 5-1. 器件 ID 位分配寄存器字段说明

位	字段	值	说明
31	CP15	0 1	表明协同处理器 15 的存在 CP15 不存在 CP15 存在
30-17	唯一 ID	1	芯片版本（修订版本）位，此位域持有一个针对专用器件配置（芯片）的唯一编号。
16-13	TECH	0000 0001 0010 0011 其它	器件的生产工艺。 C05 F05 C035 F035 被保留
12	I/O 电压	0 1	该器件的 I/O 电压。 I/O 是 3.3v I/O 是 5V
11	外设奇偶校验	0 1	外设奇偶校验 在外设上没有奇偶校验 中外设上的奇偶校验
10-9	闪存 ECC	00 01 10 11	闪存 ECC 无错误检测/校正 带奇偶校验的程序存储器 带 ECC 的程序存储器 被保留
8	RAM ECC	0 1	表示 RAM 内存 ECC 是否存在。 无 ECC 被执行 ECC 被执行
7-3	修订版本		该器件的修订版本
2-0	101		平台系列 ID 一直是 0b101

5.2 芯片 - ID 寄存器

这两个寄存器 (DIEIDL 和 DIEIDH) 形成一个 64 位的数, 该数包含器件的芯片批号、晶圆编号和 X, Y 晶圆坐标信息。单元与单元的芯片识别信息会有所不同。此信息是被 TI 作为初始设备测试程序的一部分编程的。此处展示了芯片 - ID 寄存器的数据格式。

图 5-2. DIEIDL 寄存器 (地址: 0xFFFF FF7C)



图例: R/W = 读取/写入; R = 只读; -n = 复位后的值; D=器件相关

图 5-3. DIEIDH 寄存器 (地址: 0xFFFF FF80)



图例: R/W = 读取/写入; R = 只读; -n = 复位后的值; D=器件相关

5.3 PLL 寄存器

在本节列出了 PLL（锁相环）控制寄存器的默认值。PLLCTL1 和 PLLCTL2 是用来配置 PLL1 (F035 FMzPLL) 的，而 PLLCTL3 是用来配置 PLL2 (F035 FPLL) 的。

图 5-4. PLLCTL1 寄存器（地址：0xFFFF FF70）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ROS	BPOS[1:0]	PLLDIV[4:0]						ROF	RESV	REFCLKDIV[5:0]					
R/WP-0	R/WP-01	R/WP-01111						R/WP-0	R-0	R/WP-000010					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLLMUL[15:0]															
R/WP-0101111100000000															

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值；D=器件专用

PLLCTL1 默认 = 0x2F025F00

图 5-5. PLLCTL2 寄存器（地址：0xFFFF FF74）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FMEN A	SPREADINGRATE[8:0]								RESV	EWADJ[8:4]					
R/WP-0	R/WP-111111111								R-0	R/WP-00000					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BWADJ[3:0]			ODPLL				SPR_AMOUNT[8:0]								
R/WP-0111			R/WP-001				R/WP-000000000								

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值；D=器件专用

PLLCTL2 默认 = 0x7FC07200

注

有多种不被允许的调制深度和调制频率组合。此器件的有效设置被包括在表 7-2 中。

图 5-6. PLLCTL3 寄存器（地址：0xFFFF E100）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
被保留								OSC DIV	被保留						
R/W-000000000								R/WP-0	R/W-000000						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
被保留			PLL_MUL[3:0]				被保留			PLL_DIV [2:0]					
R/W-000000			R/WP-011				R/W-00000			R/WP 111					

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值；D=器件专用

PLLCTL3 默认 = 0x00000307

6 器件电气技术规格

6.1 运行条件

6.2 在自然通风温度范围的绝对最大额定值（除非另有说明）⁽¹⁾

电源电压范围	$V_{CC}^{(2)}$	-0.3V 至 2.1V
	V_{CCIO} , V_{CCAD} , V_{CCP} (闪存泵) ⁽²⁾	-0.3V 至 4.1V
输入电压范围	所有输入引脚	-0.3V 至 4.1V
输入钳位电流	$I_{IK}(V_I < 0 \text{ 或 } V_I > V_{CCIO})$	$\pm 20\text{mA}$
	除 AD1IN[7:0], AD2IN[7:0], ADSIN[15:8] 外的所有引脚	
	$I_{IK}(V_I < 0 \text{ 或 } V_I > V_{CCAD})$	
	AD1IN[7:0], AD2IN[7:0], ADSIN[15:8]	$\pm 10\text{mA}$
	总计	$\pm 40\text{mA}$
自然通风工作温度范围, T_A	Q版本	-40°C 至 125°C
自然通风工作温度范围, T_J		-40°C 至 150°C
贮存温度范围, T_{stg}		-65°C 至 150°C

- (1) 超出“最大绝对额定值”下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作或者在超出“推荐的操作条件”下的任何其它情况，在此并未说明。长时间运行在最大绝对额定条件下会影响器件的可靠性。
- (2) 所有电压值以其相关接地为基准。

6.3 器件建议的运行条件⁽¹⁾

		最小值	标称值	最大值	单位
V_{CC}	数字逻辑电源电压（内核）	1.35	1.5	1.65	V
V_{CCIO}	数字逻辑电源电压 (I/O)	3	3.3	3.6	V
V_{CCAD}	MibADC 电源电压	3	3.3	3.6	V
V_{CCP}	闪存泵电源电压	3	3.3	3.6	V
V_{SS}	数字逻辑电源接地		0		V
V_{SSAD}	MibADC 电源接地	-0.1		0.1	V
T_A	自然通风工作温度范围		Q版本	125	°C
T_J	工作结温	-40		150	°C

- (1) 所有电压都以 V_{SS} 为基准，除了 V_{CCAD} 以 V_{SSAD} 为基准。

6.4 在自然通风温度范围的电气特性⁽¹⁾

参数			测试条件	最小值	典型值	最大值	单位	
V_{hys}	输入滞后			0.15			V	
V_{IL}	低电平输入电压	所有输入 ⁽²⁾		-0.3		0.8	V	
V_{IH}	高电平输入电压	所有输入		2		$V_{CCIO} + 0.3$	V	
V_{OL}	低电平输出电压		$I_{OL} = I_{OL}$ 最大值			0.2	V	
			$I_{OL} = 50\mu A$			V_{CCIO} 0.2		
V_{OH}	高电平输出电压		$I_{OH} = I_{OH}$ 最大值	0.8		V_{CCIO}	V	
			$I_{OH} = 50\mu A$	$V_{CCIO} - 0.2$				
$V_{ILoscIn}$	低电平输入电压	OSCIN		-0.3		$0.2V_{CC}$	V	
$V_{IHoscIn}$	高电平输入电压	OSCIN		$0.8V_{CC}$		$V_{CC} + 0.3$	V	
V_{MON}	电压监测阈值		VCC 低电平	1.0	1.2	1.35	V	
			VCC 高电平	1.7	2	2.38		
			VCCIO 低电平	2.0	2.4	3.0		
I_{IC}	输入钳位电流		$V_I < V_{SSIO} - 0.3$ 或 $V_I > V_{CCIO} + 0.3$	-2		2	mA	
I_I	输入电流 (I/O 引脚)		I_{IL} 下拉	$V_I = V_{SS}$	-1		1	μA
			I_{IH} 下拉 20uA	$V_I = V_{CCIO}$	5		40	
			I_{IH} 下拉 100uA	$V_I = V_{CCIO}$	40		195	
			I_{IL} 上拉 20uA	$V_I = V_{SS}$	-40		-5	
			I_{IL} 上拉 100uA	$V_I = V_{SS}$	-195		-40	
			I_{IH} 上拉	$V_I = V_{CCIO}$	-1		1	
			所有其他引脚	无上拉或下拉电阻器	-1		1	

(1) 源电流（器件输出）为负，而吸收电流（进入器件）为正。

(2) 这并不适用于PORRST引脚。

在自然通风温度范围的电气特性⁽¹⁾ (continued)

参数			测试条件	最小值	典型值	最大值	单位					
I _{OL}	低电平输出电流	TDO	V _{OL} =V _{OL} 最大			8	mA					
		TDI										
		TMS										
		RTCK										
		RTCK										
		FRAYTX1										
		FRAYTXEN1										
		FRAYTX2										
		FRAYTXEN2										
		$\overline{\text{DMMENA}}$										
		ETMTRACECTL										
		ETMTRACECLKOUT										
		ETMDATA[31:0]										
		RTPSYNC										
		RTPCLK										
		RTPDATA[15:0]										
		$\overline{\text{EMIFWE}}$										
		$\overline{\text{EMIFOE}}$										
		$\overline{\text{EMIFCS}}[3:0]$										
		EMIFDATA[15:0]										
		EMIFADD[21:0]										
EMIFBADD[1:0]												
$\overline{\text{EMIFDQM}}[1:0]$												
误差												
I _{OL}	低电平输出电流	$\overline{\text{RST}}$	V _{OL} =V _{OL} 最大			4	mA					
		MIBSPI1CLK										
		MIBSPI1SIMO										
		MIBSPI1SOMI										
		MIBSPI3CLK										
		MIBSPI3SIMO										
		MIBSPI3SOMI										
		MIBSPI5CLK										
		MIBSPI5SIMO[3:0]										
		MIBSPI5SOMI[3:0]										
		DMMDATA[15:8]										
		DMMDATA[4]										
		所有其它输出引脚									2	

在自然通风温度范围的电气特性⁽¹⁾ (continued)

参数		测试条件	最小值	典型值	最大值	单位
I_{OH}	高电平输出电流	TDO TDI TMS RTCK RTCK FRAYRX1 FRAYTX1 FRAYTXEN1 FRAYRX2 FRAYTX2 FRAYTXEN2 ETMTRACECTL ETMTRACECLKOUT ETMDATA[31:0] RTPSYNC RTPCLK RTPDATA[15:0] DMMENA EMIFWE EMIFOE EMIFCS[3:0] EMIFDATA[15:0] EMIFADD[21:0] EMIFBADD[1:0] EMIFDQM[1:0] 误差	$V_{OH}=V_{OH\text{最小}}$		-8	mA
		I_{OH}		高电平输出电流	\overline{RST} MIBSPI1CLK MIBSPI1SIMO MIBSPI1SOMI MIBSPI3CLK MIBSPI3SIMO MIBSPI3SOMI MIBSPI5CLK MIBSPI5SIMO[3:0] MIBSPI5SOMI[3:0] DMMDATA[15:8] DMMDATA[4] 所有其它输出引脚	
					-2	

在自然通风温度范围的电气特性⁽¹⁾ (continued)

参数		测试条件	最小值	典型值	最大值	单位
I _{CC} ⁽³⁾	V _{CC} 数字电源电流 (运行模式)	所有封装	HCLK = 100MHz, VCLK = 100MHz		350	mA
			HCLK = 140MHz, VCLK = 70MHz		390	mA
	BGA 封装	HCLK = 160MHz, VCLK = 80MHz		430		mA
		所有封装	STCCLK = 46.666MHz	Peak	510	
	STCCLK = 50.0MHz		Peak	540		mA
	BGA 封装	STCCLK = 53.333MHz		580		mA
		所有封装	HCLK=80MHz, VCLK=40MHz	Peak	340	
	HCLK=100MHz, VCLK=100MHz		Peak	430		mA
	V _C 数字电源电流 (打盹模式)	OSCIN = 6MHz, V _{CC} =1.65V ⁽⁷⁾		35		mA
V _{CC} 数字电源电流 (贪睡模式)	所有频率, V _{CC} =1.65V ⁽⁷⁾		30		mA	
V _{CC} 数字电源电流 (睡眠模式)	所有频率, V _{CC} =1.65V ⁽⁷⁾		25		mA	
I _{CCIO}	V _{CCIO} 数字电源电流 (运行模式)	无 DC (直流) 负载, V _{CCIO} =3.6V ⁽⁸⁾		15		mA
	V _{CCIO} 数字电源电流 (打盹模式)	无 DC 负载, V _{CCIO} =3.6V ⁽⁸⁾		700		μA
	V _{CCIO} 数字电源电流 (贪睡模式)	没有 DC 负载, V _{CCIO} =3.6V ⁽⁸⁾		100		μA
	V _{CCIO} 数字电源电流 (睡眠模式)	没有直流负载, V _{CCIO} ⁽⁸⁾ =3.6V		100		μA
I _{CCAD}	V _{CCAD} 电源电流 (运行模式)	所有频率, V _{CCAD} =3.6V		30		mA
	V _{CCAD} 电源电流 (打盹模式)	所有频率, V _{CCAD} =3.6V ⁽⁷⁾		200		μA
	V _{CCAD} 电源电流 (贪睡模式)	所有频率, V _{CCAD} =3.6V ⁽⁷⁾		200		μA
	V _{CCAD} 电源电流 (睡眠模式)	所有频率, V _{CCAD} =3.6V ⁽⁷⁾		200		μA
I _{CCP}	V _{CCP} 泵电源电流	V _{CCP} =3.6V 读取操作		25		mA
		V _{CCP} =3.6V 程序 ⁽⁹⁾		90		mA
		V _{CCP} =3.6V 擦除		90		mA
		V _{CCP} =3.6V 打盹模式 ⁽¹⁰⁾		5		μA
		V _{CCP} =3.6V 贪睡模式 ⁽¹⁰⁾		5		μA
		V _{CCP} =3.6V 睡眠模式 ⁽¹⁰⁾		5		μA
C _I	输入电容 ⁽¹¹⁾			2		pF
C _O	输出电容			3		pF

(3) 典型值是 V_{CC}=1.5V 和最大值是 V_{CC}=1.65V

(4) 测量了在 V_{CC} 的域上的带有两个 10μF 和 13 个 100nF 电容的 TI EVM 板的峰值电流。在较低的频率运行消耗较少的电流。

(5) 指定的 LBIST 电流是用于带有特定 STC 时钟的 LBIST 的执行。通过配置一个较慢的 STC 时钟频率, 可实现较低的电流消耗。电流峰值持续时间可为 1 个 LBIST 测试间隔的持续时间。

(6) 指定的 PBIST 电流针对所有 RAM (组 1-14) 和所有的算法上的 PBIST 执行。通过配置较慢的 HCLK 频率, 可以实现较低的电流消耗。不同的算法会消耗不同的电流。更多信息, 请参阅《基本的 PBIST 配置和对功耗的影响》(SPNA128)。

(7) 对于在睡眠模式下的闪存组/泵。

(8) 被配置作为输入或无负荷输出的 I/O 引脚。所有下拉输入 ≤ 0.2V。所有的上拉输入 ≥ V_{CCIO}-0.2V。

(9) 这假定在编辑一个不同组的同时从一个组中读取。

(10) 对于在睡眠模式下的闪存组/泵。

(11) FlexRay RX 引脚的最大输入电容 C_I是 10pF。

7 外设和电气技术规范

7.1 时钟

7.1.1 锁相环 (PLL) 和时钟技术规范

表 7-1. PLL 电路启用或禁用的时序要求

		最小值	最大值	单位
$f_{(OSC)}$	输入时钟频率	5	20	MHz
$t_{c(OSC)}$	周期时间, OSCIN	50		ns
$t_w(OSCIL)$	脉冲持续时间, OSCIN 低电平的时间	15		ns
$t_w(OSCIH)$	脉冲持续时间, OSCIN 高电平的时间	15		ns
$f_{(OSCRST)}$	OSC 故障频率-高水平	20	50	MHz
$f_{(OSCRST)}$	OSC 故障频率-低水平	1.5	5	MHz

7.1.2 外部基准谐振器/晶体振荡器时钟选项

如下图部分 (a) 所示, 通过在外部 OSCIN 和 OSCOUT 引脚之间将适当的基本 5-20MHz 的谐振器/晶体与负载电容相连来启用振荡器。振荡器是一个由集成偏置电阻器保持在偏置状态的单级变换器。该电阻在泄漏测试测量期间和 HALT 模式中被禁用。

注

TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有专门设备来确定多大的负载电容能够最好的调节他们的谐振器/晶振来满足微控制器在温度/电压极值范围内对于最优启动和运行的要求。

通过在 OSCIN 引脚上连接一个 1.5V 的时钟信号并使 OSCOUT 引脚悬空（公开）（如下表部分 (b) 所示），可使用一个外部振荡器源。

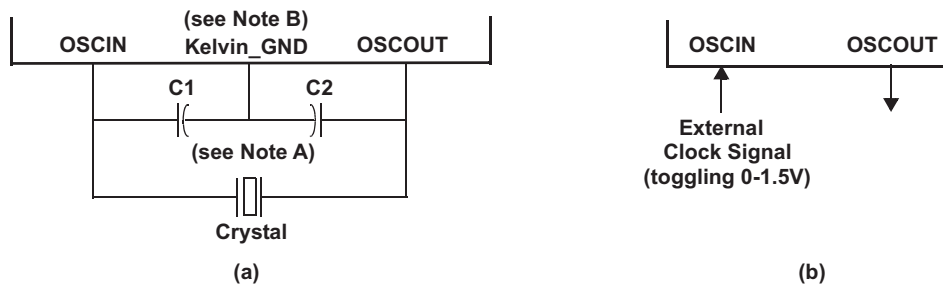


图 7-1. 推荐的晶振/时钟连接

注

在图 (a) 中, C1 和 C2 的值应由谐振器/晶体供应商提供。

在图 (b) 中, Kelvin_GND 不应与其它任何 GND 相连。

7.1.3 已验证的 FMPLL 设置

下表包括已验证的 FMPLL 设置。

表 7-2. 已验证的 FMPLL 设置

OSC_IN 频率 (MHz)	PLLCTL1	PLLCTL2	FMPLL 输出频率 (MHz)	调制带宽 (KHZ)	调制深度
10	0x20049500	0x82409253	150	100	0.5%
10	0x20049500	0x8300B240	150	77	0.5%
10	0x20048600	0x8240925C	135	100	0.5%
10	0x20048600	0x8300B247	135	77	0.5%
10	0x20048600	0x824092B9	135	100	1.0%
10	0x20048D80	0x8300B443	95	77	0.5%
10	0x20048D80	0x824094AF	95	100	1.0%
16	0x20079500	0x82409253	150	100	0.5%
16	0x20079500	0x8300B240	150	77	0.5%
16	0x20078600	0x8240925C	135	100	0.5%
16	0x20078600	0x8300B247	135	77	0.5%
16	0x20078600	0x824092B9	135	100	1.0%
16	0x20078D80	0x8300B443	95	77	0.5%
16	0x20078D80	0x824094AF	95	100	1.0%
20	0x20099500	0x82409253	150	100	0.5%
20	0x20099500	0x8300B240	150	77	0.5%
20	0x20098600	0x8240925C	135	100	0.5%
20	0x20098600	0x8300B247	135	77	0.5%
20	0x20098600	0x824092B9	135	100	1.0%
20	0x20098D80	0x8300B443	95	77	0.5%
20	0x20098D80	0x824094AF	95	100	1.0%

7.1.4 LPO 和时钟检测

LPOCLKDET 模块包括一个时钟监视器 (CLKDET) 和 2 个低功耗振荡器 (LPO)-1 个低频 (LF) 和 1 个高频 (HF) 的振荡器。CLKDET 是为一个针对外部提供的时钟信号的监控电路。一旦外部提供的时钟频率下降到一个频率窗口以外, 时钟探测器标志这种情况并且转换到 HF LPO 时钟 (跛行模式)。不管振荡器时钟信号的运行状态, OSCFAIL 标志和时钟转换将持续进行。OSCFAIL 唯一可以被清除的方法 (并重新启用 OSCIN 作为时钟源) 就是是一个加电复位。

表 7-3. LPO 和时钟检测

参数		最小值	类型	MAX	单位
无效频率	下限阈值	1.5		5	MHz
	上限阈值	20		50	MHz
跛行模式频率 (HFosc)		7.9	10	14.4	MHz
HFosc 频率		7.9	10	14.4	MHz
LFosc 频率		62	80	113	kHz

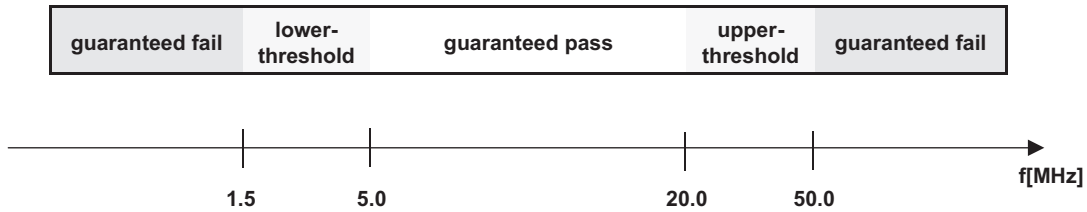


图 7-2. LPO 和时钟检测

7.1.5 在推荐工作条件下时钟的开关特性

表 7-4. 在推荐工作条件下时钟的开关特性

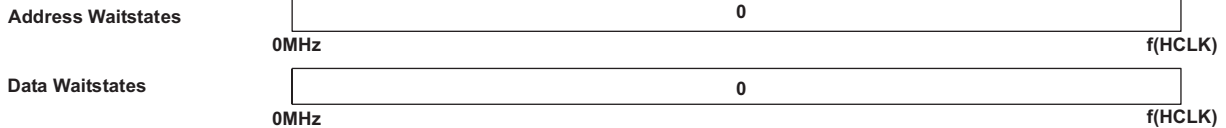
参数	测试条件:	最小值	最大值	单位
f _(HCLK)	HCLK - 系统时钟频率 (337 球状栅格阵列 (BGA) 封装)	启用的管线模式	160	MHz
		管线模式被禁用	36	MHz
f _(HCLK)	HCLK - 系统时钟频率 (144 引脚四方扁平 (QFP) 封装)	启用的管线模式	140	MHz
		管线模式被禁用	36	MHz
f _(GCLK)	GCLK-CPU 时钟频率 (比例 GCLK:HCLK=1:1)		f _(HCLK)	MHz
f _(RCLK)	RCLK - 脱离 PLL 宏之进入 R-分频器的频率		160	MHz
f _(RTICK) ⁽¹⁾	RTICK - 时钟频率		f _(VCLK)	MHz
f _(VCLK)	VCLK - 初级外设时钟频率		f _(VCLK2)	MHz
f _(VCLK2)	VCLK2 - 次级外设时钟频率		100	MHz
f _(AVCLK1)	AVCLK1 - 初级异步外设时钟频率		f _(VCLK)	MHz
f _(AVCLK2)	AVCLK2 - 次级异步外设时钟频率		f _(VCLK)	MHz
f _(ECLK) ⁽²⁾	ECLK - 针对 ECP 模块的外部时钟输出频率		80	MHz
f (程序/擦除)	系统时钟频率-闪存编程/擦除		f _(HCLK)	MHz

(1) 如果选择 RTIx 时钟源作为除了默认 VCLK 以外的任何时钟源, 则 RTI 时钟就需要至少比 VCLK 低 3 倍。

(2) (ECLK) = f(VCLK)/N, 其中 N = {1 到 65536}。N 是由 ECPCNTL 定义的 ECP 预分频值。在系统模块中 [15:0] 寄存器位。FRDCNTL[2:0] 决定启用或禁用管线模式。

7.1.5.1 时序-等待状态

RAM



Flash



图 7-3. 等待状态

注

如果启用 FMzPLL 调频, 必须特别小心确保不能超过最大系统时钟频率 f(HCLK) 和外设时钟频率 f (VCLK)。器件时钟速度可能需要降低以适应 FMzPLL 频率调制深度启用时的调制深度。

7.2 ECLK 规范

7.2.1 在推荐工作条件下外部时钟的开关特性

表 7-5. 在推荐工作条件下外部时钟的开关特性(1)(2)

编号	参数	测试条件:	最小值	最大值	单位
3	$t_{w(EOL)}$	脉冲持续时间, ECLK 低电平的时间	在所有的预分频因子组合 (X 和 N) 时	$0.5t_{c(ECLK)}-t_f$	ns
4	$t_{w(EOH)}$	脉冲持续时间, ECLK 高电平的时间	所有的预分频因子组合 (X 和 N) 时	$0.5t_{c(ECLK)}-t_r$	ns

(1) X = {1,2,3,4,5,6,7,8,9,10,11,12,13,14,15,16}。X 是 CLKCNTL 决定的 VBUS 接口时钟分频比。在 SYS 模块中的 [19:16] 位。

(2) N = {1 到 65536}。N 是由 ECPCNTL 定义的 ECP 预分频值。在系统模块中 [15:0] 寄存器位。

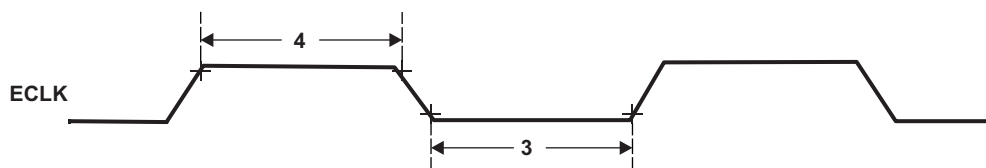


图 7-4. ECLK 时序图

7.3 RST和PORRST时序

7.3.1 PORRST的时序要求

表 7-6. PORRST的时序要求

编号		最小值	最大值	单位
	V_{CCPORL}	加电期间, \overline{PORRST} 必须有效时, V_{CC} 低电源电平		0.5 V
	V_{CCPORH}	加电期间, \overline{PORRST} 必须保持有效并在断电期间变为有效时, V_{CC} 高电源电平		1.35 V
	$V_{CCIOPORL}$	加电期间, \overline{PORRST} 必须有效时, V_{CCIO}/V_{CCP} 低电源电平		1.1 V
	$V_{CCIOPORH}$	加电期间, \overline{PORRST} 必须保持有效并在断电期间变为有效时, V_{CCIO}/V_{CCP} 高电源电平		3 V
	$V_{IL}(\overline{PORRST})$	$\overline{PORRST}V_{CCIO}$ 的低电平输入电压 > 2.5V		0.2 V_{CCIO} V
		$\overline{PORRST}V_{CCIO}$ 的低电平输入电压 < 2.5V		0.5 V
3	$t_{su}(\overline{PORRST})$	建立时间,加电期间, 在 V_{CCIO} 和 $V_{CCP} > V_{CCIOPORL}$ 前的 \overline{PORRST} 的有效时间		0 ms
6	$t_h(\overline{PORRST})$	保持时间, \overline{PORRST} 在 $V_{CC} > V_{CCPORH}$ 后的有效时间		1 ms
7	$t_{su}(\overline{PORRST})$	建立时间, 断电期间, \overline{PORRST} 在 $V_{CC} \leq V_{CCPORH}$ 前的有效时间		8 μ s
8	$t_h(\overline{PORRST})$	保持时间, \overline{PORRST} 在 V_{CCIO} 和 $V_{CCP} > V_{CCIOPORH}$ 后的有效时间		1 ms
9	$t_h(\overline{PORRST})$	保持时间, \overline{PORRST} 在 $V_{CC} < V_{CCPORL}$ 后的有效时间		0 ms
	$t_f(\overline{PORRST})$	滤波时间 \overline{PORRST} , 小于最小值的脉冲将被过滤掉, 超过最大值的脉冲确保生成一个中断 ⁽¹⁾		20 ns (min), 150 ns (max)
	$t_f(RST)$	滤波时间RST, 小于最小值的脉冲将被过滤掉, 超过最大值的脉冲确保生成一个中断		20 ns (min), 150 ns (max)

(1) nPORRST 引脚上恰好比毛刺脉冲滤波器应用在该引脚上的脉冲长的低脉冲将导致一个很短的内部复位。由于器件的某些部件可能会被重置, 这可能会导致一些不可预知的运行状态发生, 而器件的其他部分则不会。

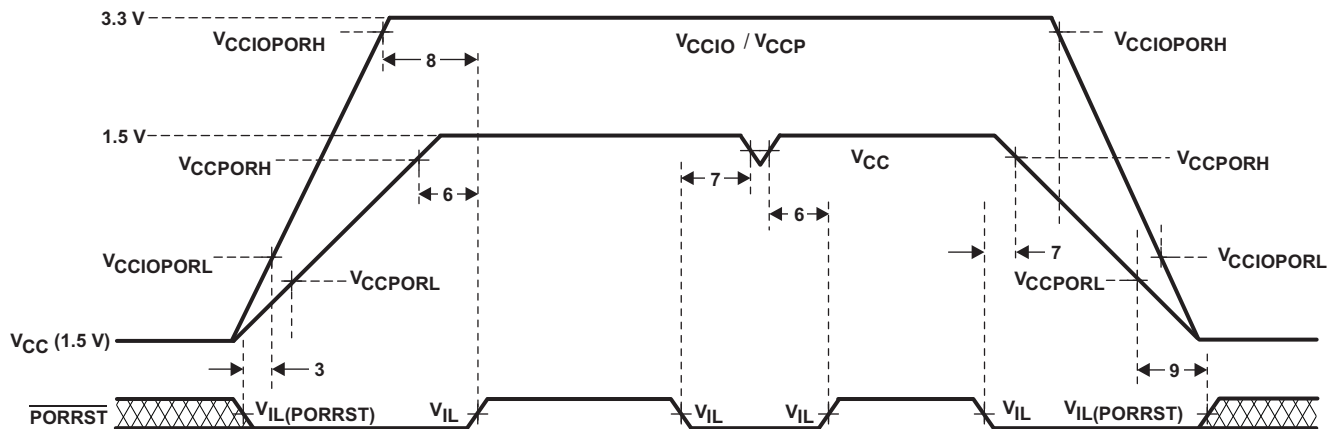


图 7-5. PORRST 时序图

注

VCCIO 和 VCC 电源电压斜坡之间并不存在时序依赖; 这只是一张示例图。当 VCCIO 或 VCC 超出正常工作范围, 所有的要求就是确保PORRST是有效的。

7.3.2 \overline{RST} 在建议工作条件下的开关特性

表 7-7. $\overline{RST}^{(1)}$ 在建议工作条件下的开关特性

	参数	最小值	最大值	单位
$t_{v(RST)}$	有效时间, 在 \overline{PORRST} 无效后 \overline{RST} 的激活时间	1048 _{c(OSC)}		ns
	有效时间, \overline{RST} 的激活时间 (所有其它)	8 _{t_c(VCLK)}		

(1) 指定的值不包括上升/下降时间。对于上升和下降时序, 请参阅输出时序与负载电容表间的开关特性。

7.3.3 在 \overline{PORRST} 的期间, IO 状态

加电复位时 IO 的缓冲条件 (nPORRST 低阻抗): 在 nPORRST 是低阻抗和 nPORRST 变高阻抗后, 除 nRST 外的所有 I/O 引脚都立即被配置为高阻抗。在 nPORRST 是低阻抗时, FlexRay FRAYTX1 和 FRAYTX2 引脚是高阻抗 (高-Z), nPORRST 升高后输出至少要高到 1024 个振荡周期; 在 nPORRST 是低阻抗时, FlexRay FRAYTX1 和 FRAYTX2 引脚是高阻抗 (高-Z), 并且 nPORRST 升高后输出立即变高。

在加电复位时, IO 上拉/下拉状态: 当 nPORRST 是低阻抗时, 所有输入引脚上的内部上拉和下拉电阻器被禁用, nPORRST 升高后立即被激活。列出的带有“可编程”字样的引脚都有可编程的上拉或下拉电阻器。下表中, 复位后的默认值被列在“可编程”的下面。nPORRST, NRST, NTRST 和 TEST (测试) 引脚例外。在加电复位期间这些引脚的拉动电阻器将是激活的。

7.4 测试引脚时序

表 7-8. 测试引脚时序

编号	说明	最小值	最大值	单位
$t_{f(\text{测试})}$	滤波时间 TEST, 小于最小值的脉冲将被过滤掉, 大于最大值的脉冲将被保证进入测试模式	10	80	ns

7.5 DAP-JTAG 扫描接口时序

7.5.1 在 TDO 输出时上 JTAG 时钟规范 12MHz 和 50pF 负载

表 7-9. JTAG 扫描接口时序

编号			最小值	最大值	单位
	$f_{(TCK)}$	TCK 频率 (在 HCLKmax 上)		12	MHz
	$f_{(RTCK)}$	RTCK 频率 (在 TCKmax 和 HCLKmax 上)	10		MHz
1	$t_{d(TCK-RTCK)}$	延迟时间, TCK 到 RTCK 的时间		20	ns
2	$t_{su(TDI/TMS-RTCKr)}$	建立时间, TDI, TMS 在 RTCK 上升 (RTCKr) 前的时间	15		ns
3	$t_{h(RTCKr-TDI/TMS)}$	保持时间, TDI, TMS 在 RTCKr 后的时间	0		ns
4	$t_{h(RTCKf-TDO)}$	保持时间, TDO 在 RTCKf 后的时间	0		ns
5	$t_{d(RTCKf-TDO)}$	延迟时间, RTCK 下降 (RTCKf) 后 TDO 的有效时间		10	ns

请注意: 本表中的时序是使用一个 50pF 和 50μA 的负载测量的。并且它们是在 50% 点被测量, 而不是 20% 或 80% 点。

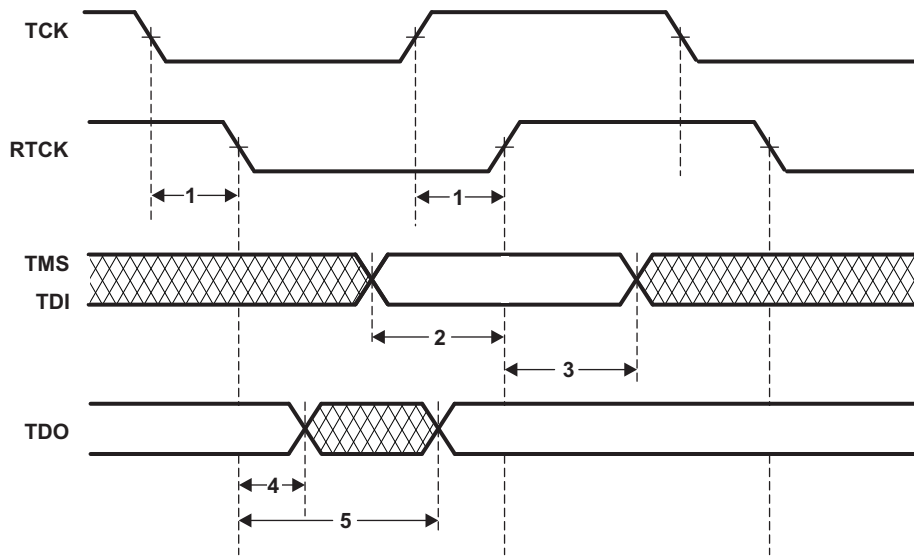


图 7-6. JTAG 的时序

7.6 输出时序

7.6.1 输出时序与负载电容间关系的开关特性(C_L)

表 7-10. 输出时序与负载电容间关系的开关特性(C_L)

参数			最小值	最大值	单位
t_r	8mA 引脚	$C_L=15pF$		2.5	ns
		$C_L=50pF$		5	
		$C_L=100pF$		9	
		$C_L=150pF$		12	
t_f	8mA 引脚	$C_L=15pF$		2.5	ns
		$C_L=50pF$		5	
		$C_L=100pF$		9	
		$C_L=150pF$		12	
t_r	4mA 引脚	$C_L=15pF$		7	ns
		$C_L=50pF$		13	
		$C_L=100pF$		21	
		$C_L=150pF$		29	
t_f	4mA 引脚	$C_L=15pF$		7	ns
		$C_L=50pF$		13	
		$C_L=100pF$		21	
		$C_L=150pF$		29	
t_r	2mA-z 引脚	$C_L=15pF$		10	ns
		$C_L=50pF$		17	
		$C_L=100pF$		25	
		$C_L=150pF$		35	
t_f	2mA-z 引脚	$C_L=15pF$		10	ns
		$C_L=50pF$		17	
		$C_L=100pF$		25	
		$C_L=150pF$		35	

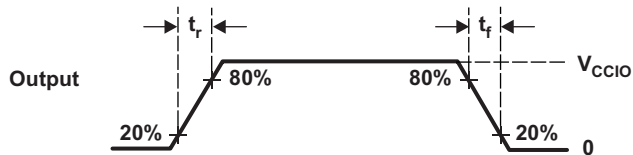


图 7-7. CMOS - 级输出

7.7 输入时序

7.7.1 输入时序的时序要求

表 7-11. 输入时序的时序要求⁽¹⁾

		最小值	最大值	单位
t_{pw}	输入最小脉冲宽度	$t_{c(VCLK)} + 10^{(2)}$		ns

- (1) $t_{c(VCLK)}$ = 外设 VBUS 时钟周期时间 = $1/f_{(VCLK)}$
 (2) 上面显示的时序仅对在 GIO 模式中使用的引脚有效

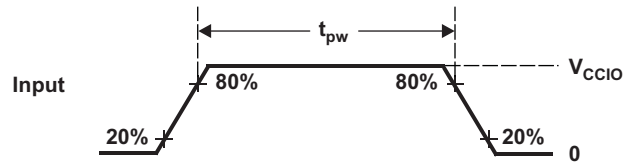


图 7-8. CMOS - 级输入

7.8 闪存时序

表 7-12. 编辑闪存的时序要求

		最小值	标称值	最大值	单位
$t_{\text{prog(32-位)}}$	全字 (32 位) 编程时间		33	300	μs
$t_{\text{prog (全部)}}$	2M 字节编程时间 ⁽¹⁾	-40°C 至 125°C	17	74	s
		0°C 至 60°C, 对于头 25 个周期	17	25	s
$t_{\text{prog ECC(16-位)}}$	ECC 编程时间		33	300	μs
$t_{\text{ECC (全部)}}$	全部 ECC 位编程时间 (256K 字节)	-40°C 至 125°C	4.3	15	s
		0°C 至 60°C, 对于头 25 个周期	4.3	7	s
$t_{\text{擦除 (扇区)}}$	扇区擦除时间 (包括软编程)	-40°C 至 125°C	2	15	s
		0°C 至 60°C, 对于头 25 个周期	1.5	10	s
$t_{\text{擦除 (组)}}$	组擦除时间 (包括软编程), 0°C 至 60°C, 对于头 25 个周期	组 0	7.5	20	s
		组 1	5.5	12	s
		组 2	5.5	12	s
		组 3	5.5	12	s
t_{wec}	在 $T_A = -40$ 到 125°C 时的写入/擦除周期带有 15 年数据保持要求 ⁽²⁾			1000	周期

(1) 编程时间包括状态机的开销, 但不包括数据传输时间。

(2) 闪存写入/擦除周期和数据保持技术规范基于 TI 闪存 API 的经验证执行。不支持非 TI 闪存 API 执行。详细描述请参阅 F035 《闪存验证过程》(SPNA127)。

7.9 SPI 主控模式时序参数

7.9.1 SPI 主控模式时序参数 (时钟相位 = 0, SPICLK = 输出, SPISIMO = 输出, 和 SPISOMI = 输入)

表 7-13. SPI 主控模式外部时序参数⁽¹⁾⁽²⁾⁽³⁾

编号			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间, SPICLK ⁽⁴⁾	50	$256t_{c(VCLK)}$	ns
2 ⁽⁵⁾	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 3t_r$	$0.5t_{c(SPC)M} + 5$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 3t_f$	$0.5t_{c(SPC)M} - t_f$	
3 ⁽⁵⁾	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 3t_f$	$0.5t_{c(SPC)M} - t_f$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 3t_r$	$0.5t_{c(SPC)M} - t_r$	
4 ⁽⁵⁾	$t_{d(SIMO-SPCL)M}$	延迟时间, 在 SPICLK 低电平之前 SPISIMO 有效的 时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 10$		ns
	$t_{d(SIMO-SPCH)M}$	延迟时间, 在 SPICLK 高电平之前 SPISIMO 有效的 时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 10$		
5 ⁽⁵⁾	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的 时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_{f(SPC)} - 7$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后, SPISIMO 数据有效的 时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_r(SPC) - 7$		
6 ⁽⁵⁾	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 0)	$t_f(SPC)$		ns
	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 1)	$t_r(SPC) + 4$		
7 ⁽⁵⁾	$t_h(SPCL-SOMI)M$	保持时间, SPICLK 低电平之后 SPISOMI 数据有效的 时间 (时钟极性 = 0)	10		ns
	$t_h(SPCH-SOMI)M$	保持时间, SPICLK 高电平之后 SPISOMI 数据有效的 时间 (时钟极性 = 1)	10		
8 ⁽⁶⁾	$t_{C2TDELAY}$	建立时间 CS 在 SPICLK 高电平之前有效, 假定 SPiENA 在 t_{SPIENA} 时是低电平 (时钟极性=0)	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} - t_f(SPICS) + t_r(SPC) - 9$	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} - t_f(SPICS) + t_r(SPC) + 5$	ns
		建立时间 CS 在 SPICLK 高低电平之前有效, 假定 SPiENA 在 t_{SPIENA} 时是低电平 (时钟极性=1)	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} - t_f(SPICS) + t_r(SPC) - 9$	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} - t_f(SPICS) + t_r(SPC) + 5$	ns
9 ⁽⁶⁾	$t_{T2CDELAY}$	保持时间 SPICLK 在 CS 无效前为低电平 (时钟极 性 = 0)	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_r(SPC) + t_r(SPICS) - 5$	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_r(SPC) + t_r(SPICS) + 10$	ns
		保持时间 SPICLK 在 CS 无效前为高电平 (时钟极 性 = 1)	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_r(SPC) + t_r(SPICS) - 5$	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_r(SPC) + t_r(SPICS) + 10$	ns
10	t_{SPIENA}	SPIENAn 采样点	$C2TDELAY * t_{c(VCLK)} - t_f(SPICS) - 20$	$C2TDELAY * t_{c(VCLK)}$	ns
11	$t_{SPIENAW}$	SPIENAn 写入缓冲区的采样点		$(C2TDELAY + 2) * t_{c(VCLK)}$	ns

(1) 设置主位 (SPIGR1.0) 并且时钟相位位 (SPIFMTx.16) 被设置。

(2) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f(VCLK)$ 。

(3) 对于上升和下降时序, 请参阅“输出时序与负载电容间关系的开关特性”表。

(4) 当 SPI 在主控模式中时, 必须满足下列条件:

对于 1 到 255 的 PS 值: $t_{c(SPC)M} \geq (PS + 1)t_{c(VCLK)} \geq 50ns$, 其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位

对于为 0 的 PS 值: $t_{c(SPC)M} = 2t_{c(VCLK)} \geq 50ns$. SPICLK 引脚上的外部负载必须小于 60pF。

(5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

(6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器中编程

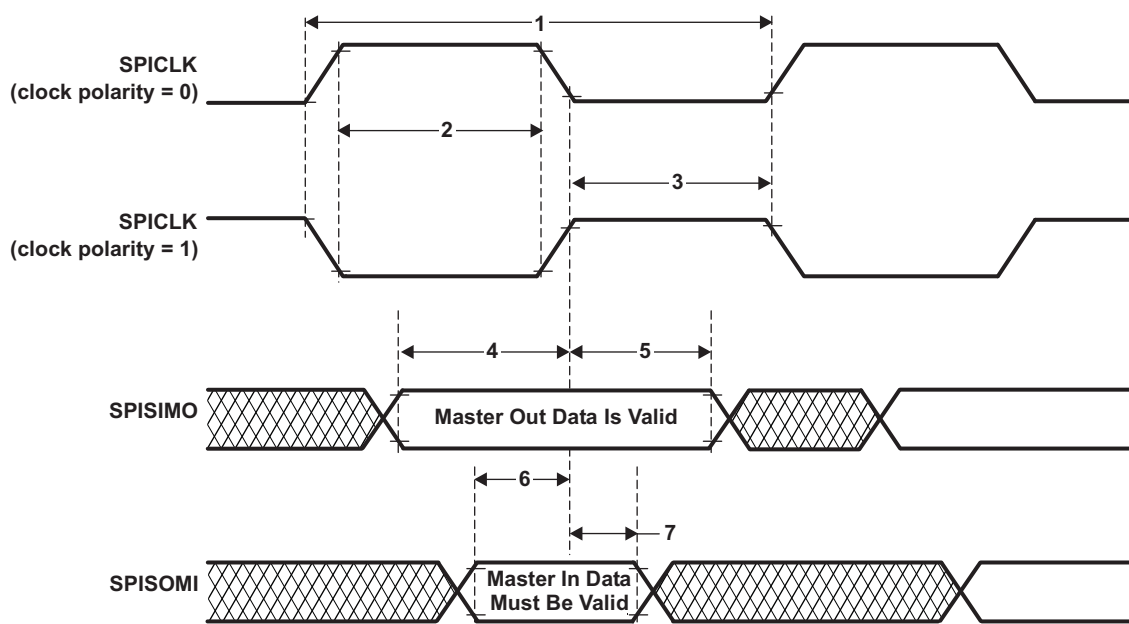


图 7-9. SPI 主控模式外部定时 (时钟相位 = 0)

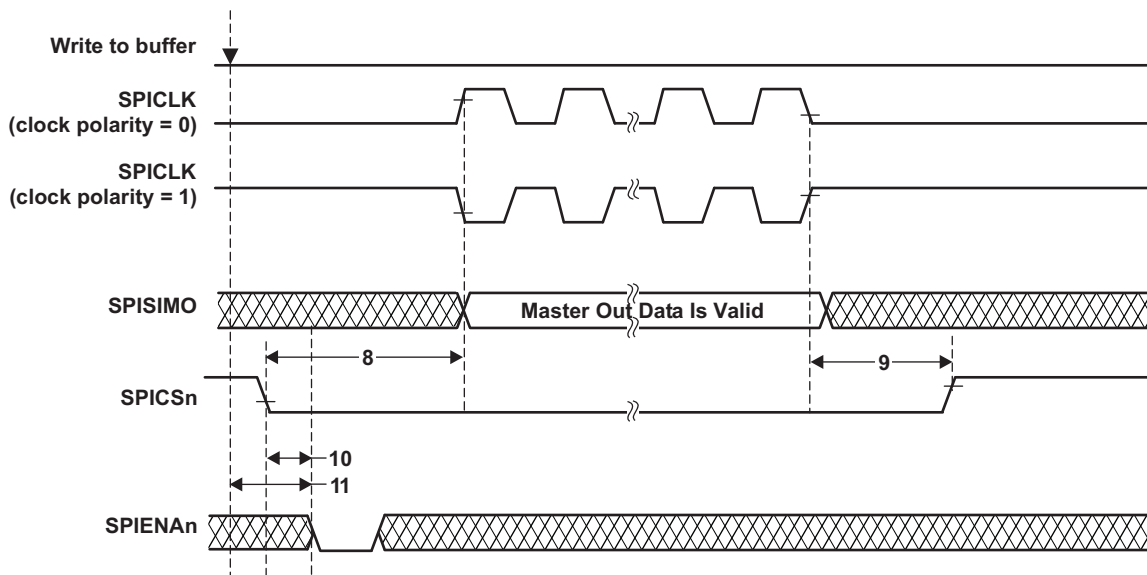


图 7-10. SPI 主控模式芯片选择定时 (时钟相位 = 0)

7.9.2 SPI 主控模式外部时序参数 (时钟相位= 1, SPICLK = 输出, SPISIMO = 输出, 和 SPISOMI = 输入)

表 7-14. SPI 主控模式外部时序参数⁽¹⁾⁽²⁾⁽³⁾

编号			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间, SPICLK ⁽⁴⁾	50	$256t_{c(VCLK)}$	ns
2 ⁽⁵⁾	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 3t_f$	$0.5t_{c(SPC)M} + 5$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 3t_f$	$0.5t_{c(SPC)M} + 5$	
3 ⁽⁵⁾	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 3t_f$	$0.5t_{c(SPC)M} + 5$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 3t_f$	$0.5t_{c(SPC)M} + 5$	
4 ⁽⁵⁾	$t_{d(SIMO-SPCH)M}$	延迟时间, SPISIMO 数据有效后 SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 10$		ns
	$t_{d(SIMO-SPCL)M}$	延迟时间, SPISIMO 数据有效后 SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 10$		
5 ⁽⁵⁾	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的 时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_f(SPC) - 7$		ns
	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的 时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_f(SPC) - 7$		
6 ⁽⁵⁾	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	$t_f(SPC) + 4$		ns
	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	$t_f(SPC)$		
7 ⁽⁵⁾	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的 时间 (时钟极性 = 0)	10		ns
	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的 时间 (时钟极性 = 1)	10		
8 ⁽⁶⁾	$t_{C2TDELAY}$	建立时间 CS 在 SPICLK 高电平前有效, 假定 SPInENA 在 t_{SPIENA} 时是低电平 (时钟极性 = 0)	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} + 0.5 * t_{c(SPC)M} - t_f(SPICS) + t_f(SPC) - 9$	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} + 0.5 * t_{c(SPC)M} - t_f(SPICS) + t_f(SPC) + 5$	ns
		建立时间 CS 在 SPICLK 低电平前有效, 假定 SPInENA 在 t_{SPIENA} 时是低电平 (时钟极性 = 1)	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} + 0.5 * t_{c(SPC)M} - t_f(SPICS) + t_f(SPC) - 9$	$(C2TDELAY + CSHOLD + 2) * t_{c(VCLK)} + 0.5 * t_{c(SPC)M} - t_f(SPICS) + t_f(SPC) + 5$	ns
9 ⁽⁶⁾	$t_{T2CDELAY}$	保持时间 SPICLK 在 CS 无效前为低电平 (时钟极 性 = 0)	$T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_f(SPC) + t_f(SPICS) - 5$	$T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_f(SPC) + t_f(SPICS) + 10$	ns
		保持时间 SPICLK 在 CS 无效前为高电平 (时钟极 性 = 1)	$T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_f(SPC) + t_f(SPICS) - 5$	$T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_f(SPC) + t_f(SPICS) + 10$	ns
10	t_{SPIENA}	SPIENAn 采样点	$C2TDELAY * t_{c(VCLK)} - t_f(SPICS) - 20$	$C2TDELAY * t_{c(VCLK)}$	ns
11	$t_{SPIENAW}$	SPIENAn 写入缓冲区的采样点		$(C2TDELAY + 2) * t_{c(VCLK)}$	ns

- (1) 设置主位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被设置。
- (2) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f(VCLK)$ 。
- (3) 对于上升和下降时序, 请参阅“输出时序与负载电容间关系的开关特性”表。
- (4) 当 SPI 在 主控模式中时, 必须满足下列条件:
对于 1 到 255 的 PS 值: $t_{c(SPC)M} \geq (PS + 1)t_{c(VCLK)} \geq 50ns$, 其中 PS 是 SPIFMTx 中设置的预分频值。[15:8]寄存器位。
对于为 0 的 PS 值: $t_{c(SPC)M} = 2t_{c(VCLK)} \geq 50 ns$ 。SPICLK 引脚上的外部负载必须小于 60pF。
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
- (6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器中设定。

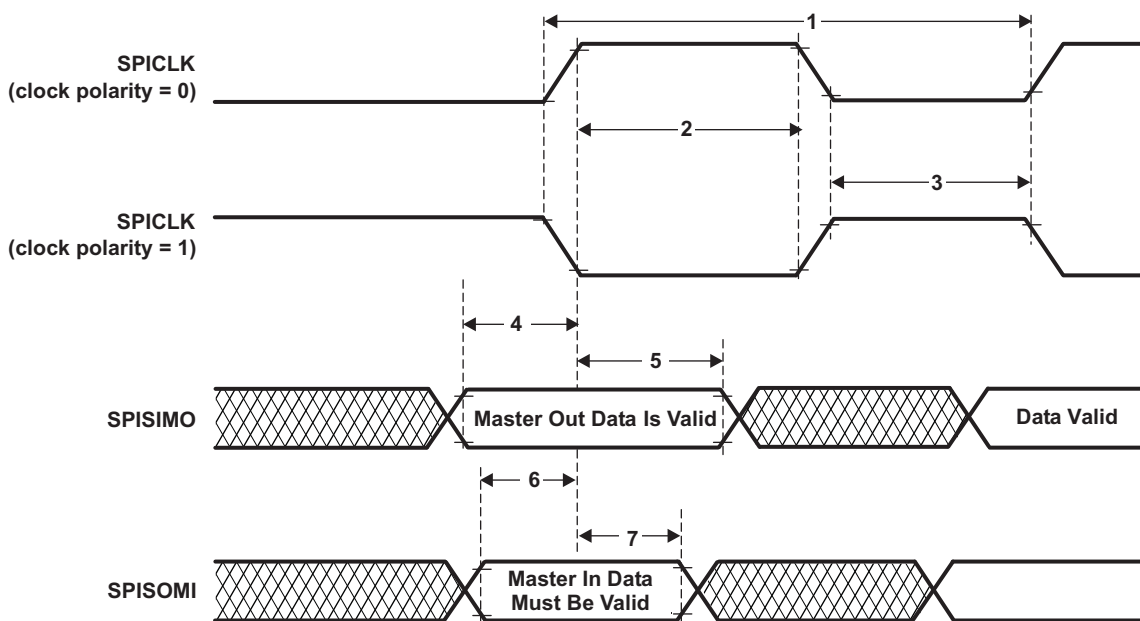


图 7-11. SPI 主控模式外部时序 (时钟相位 = 1)

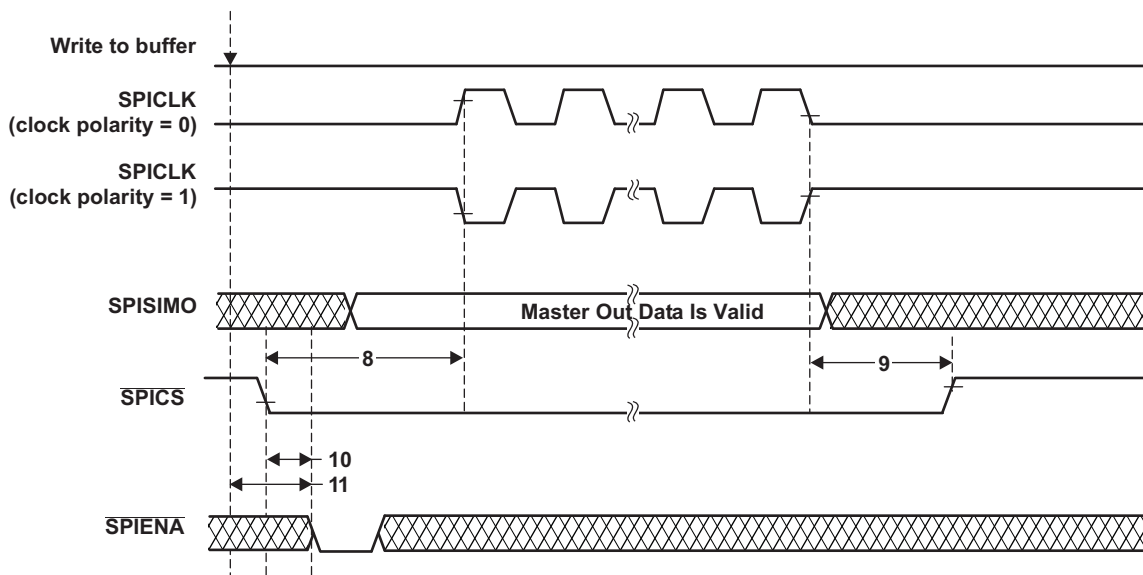


图 7-12. SPI 主控模式芯片选择时序 (时钟相位 = 1)

7.10 SPI 受控模式时序参数

7.10.1 SPI 受控模式外部时序参数 (时钟相位 = 0, SPICLK = 输入, SPISIMO = 输入, 和 SPISOMI = 输出)

表 7-15. SPI 受控模式外部时序参数⁽¹⁾⁽²⁾⁽³⁾

编号			最小值	最大值	单位
1	$t_{c(SPC)}S$	周期时间, SPICLK ⁽⁴⁾	90		ns
2 ⁽⁵⁾	$t_{w(SPCH)}S$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	30		ns
	$t_{w(SPCL)}S$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	30		
3 ⁽⁵⁾	$t_{w(SPCL)}S$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	30		ns
	$t_{w(SPCH)}S$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	30		
4 ⁽⁵⁾	$t_{d(SPCH-SOMI)}S$	延迟时间, SPICLK 高电平之后 SPISOMI 有效的的时间 (时钟极性 = 0)		$t_{r(SOMI)}+15$	ns
	$t_{d(SPCL-SOMI)}S$	延迟时间, SPICLK 低电平之后 SPISOMI 有效的的时间 (时钟极性 = 1)		$t_{r(SOMI)}+ 15$	
5 ⁽⁵⁾	$t_{v(SPCH-SOMI)}S$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	0		ns
	$t_{v(SPCL-SOMI)}S$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	0		
6 ⁽⁵⁾	$t_{su(SIMO-SPCL)}S$	建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性 = 0)	4		ns
	$t_{su(SIMO-SPCH)}S$	建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性 = 1)	4		
7 ⁽⁵⁾	$t_{h(SPCL-SIMO)}S$	保持时间, SPICLK 低电平后, SPISIMO 数据有效的的时间 (时钟极性 = 0)	6		ns
	$t_{h(SPCH-SIMO)}S$	保持时间, SPICLK 高电平之后, SPISIMO 数据有效的的时间 (时钟极性 = 1)	6		
8	$t_{d(SPCL-SENAH)}S$	延迟时间, 最后 SPICLK 低电平后的 SPIENAn 高电平的时间 (时钟极性 = 0)	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}+ 26$	ns
	$t_{d(SPCH-SENAH)}S$	延迟时间, 最后 SPICLK 高电平后的 SPIENAn 高电平时间 (时钟极性 = 1)	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}+ 26$	
9	$t_{d(SCSL-SENAL)}S$	延迟时间, SPICSn 低电平后 SPIENAn 低电平的时间 (如果新数据已经被写入 SPI 缓冲区)	$t_{r(ENAn)}$	$t_{c(VCLK)}+ t_{r(ENAn)}+ 18$	ns

- (1) 设置主位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被设置。
- (2) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f(VCLK)$ 。
- (3) 对于上升和下降时序, 请参阅“输出时序与负载电容间关系的开关特性”表。
- (4) SPI 在受控模式中, 必须满足下列条件:
 $t_{c(SPC)}S > 2t_{c(VCLK)}$ 和 $t_{c(SPC)}S > 90ns$ 。
 $t_{w(SPCH)}S > t_{c(VCLK)}$ 和 $t_{w(SPCL)}S > t_{c(VCLK)}$ 。
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

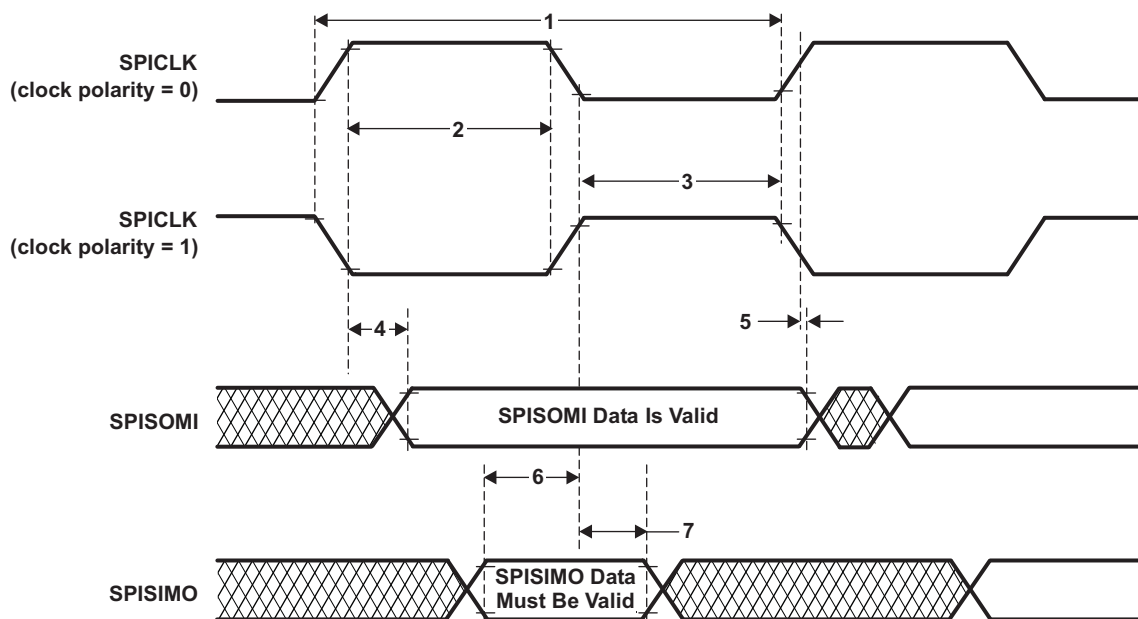


图 7-13. SPI 受控模式外部时序 (时钟相位 = 0)

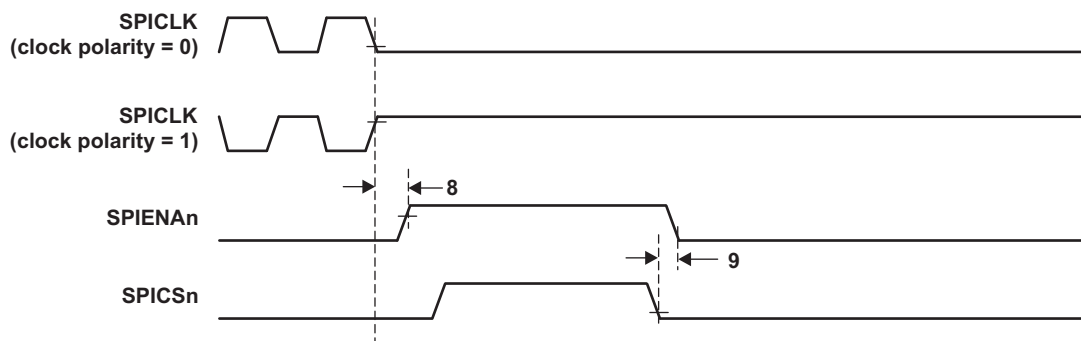


图 7-14. SPI 受控模式使能时序 (时钟相位 = 0)

7.10.2 SPI 受控模式外部时序参数 (时钟相位= 1, SPICLK = 输入, SPISIMO = 输入, 和 SPISOMI = 输出)

表 7-16. SPI 受控模式外部时序参数⁽¹⁾⁽²⁾⁽³⁾

编号			最小值	最大值	单位
1	$t_{c(SPC)S}$	周期时间, SPICLK ⁽⁴⁾	90		ns
2 ⁽⁵⁾	$t_{w(SPCH)S}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	30		ns
	$t_{w(SPCL)S}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	30		
3 ⁽⁵⁾	$t_{w(SPCL)S}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	30		ns
	$t_{w(SPCH)S}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	30		
4 ⁽⁵⁾	$t_{d(SOMI-SPCL)S}$	时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)		$t_{r(SOMI)}+15$	ns
	$t_{d(SOMI-SPCH)S}$	延迟时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)		$t_{r(SOMI)}+15$	
5 ⁽⁵⁾	$t_{v(SPCL-SOMI)S}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	0		ns
	$t_{v(SPCH-SOMI)S}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	0		
6 ⁽⁵⁾	$t_{su(SIMO-SPCH)S}$	建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	4		ns
	$t_{su(SIMO-SPCL)S}$	建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	4		
7 ⁽⁵⁾	$t_{h(SPCH-SIMO)S}$	保持时间, SPICLK 高电平之后, SPISIMO 数据有效的的时间 (时钟极性 = 0)	6		ns
	$t_{h(SPCL-SIMO)S}$	保持时间, SPICLK 低电平后, SPISIMO 数据有效的的时间 (时钟极性 = 1)	6		
8	$t_{d(SPCH-SENAH)S}$	延迟时间, 上一个 SPICLK 高电平后的 SPIENAn 高电平时间 (时钟极性= 0)	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}+ 26$	ns
	$t_{d(SPCL-SENAH)S}$	延迟时间, 最后 SPICLK 低电平后的 SPIENAn 高电平时间 (时钟极性= 1)	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}+ 26$	
9	$t_{d(SCSL-SENAL)S}$	延迟时间, SPICSn 低电平后 SPIENAn 低电平的时间 (如果新数据已经被写入 SPI 缓冲区)	$t_{r(ENAn)}$	$t_{c(VCLK)} + t_{r(ENAn)}+ 18$	ns
10	$t_{d(SCSL-SOMI)S}$	延迟时间, SPICSn 低电平后 SOMI 有效的的时间 (如果新数据已经被写入 SPI 缓冲区)	$t_{c(VCLK)}$	$2t_{c(VCLK)} + t_{r(SOMI)}+ 20$	ns

- (1) 设置主位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被设置。
- (2) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f_{(VCLK)}$
- (3) 对于上升和下降时序, 请参阅“输出时序与负载电容的开关特性”表。
- (4) SPI 在受控模式中, 必须满足下列条件:
 $t_{c(SPC)S} > 2t_{c(VCLK)}$ 和 $t_{c(SPC)S} > 90ns$ 。
 $t_{w(SPCH)S} > t_{c(VCLK)}$ 和 $t_{w(SPCL)S} > t_{c(VCLK)}$ 。
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

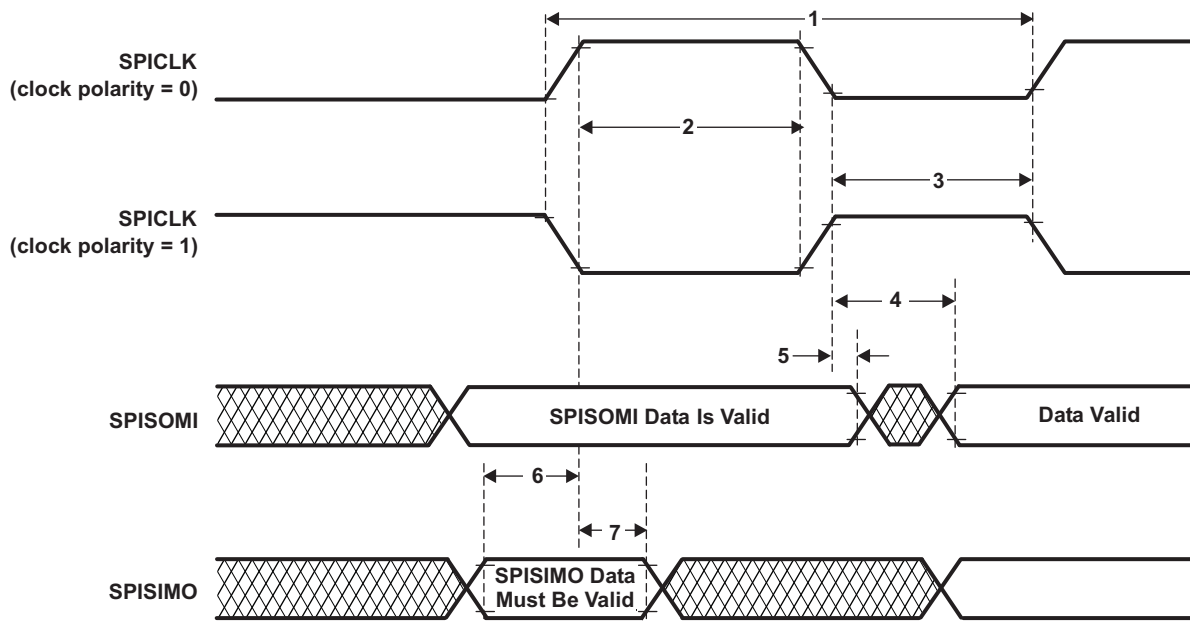


图 7-15. SPI 受控模式外部时序 (时钟相位 = 1)

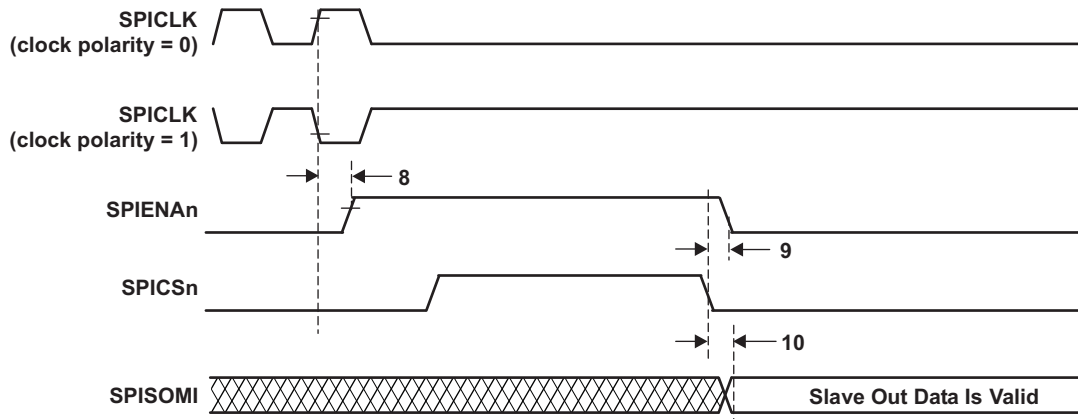


图 7-16. SPI 受控模式使能定时 (时钟相位 = 1)

7.11 CAN 控制器模式时序

7.11.1 CANnTX 和 CANnRX 引脚的动态特性

表 7-17. CANnTX 和 CANnRX 引脚的动态特性

参数		最小值	最大值	单位
$t_d(\text{CANnTX})$	延迟时间, 传输移位寄存器到 CANnTX 引脚的时间 ⁽¹⁾		15	ns
$t_d(\text{CANnRX})$	延迟时间, CANnRX 引脚接收移位寄存器的时间		5	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

7.12 SCI/LIN 模式时序

外设时钟在 100MHz 时, SCI 波特率最大可达到3.125 Mb/s。

7.13 FlexRay 控制器模式时序

7.13.1 抖动时序

表 7-18. 抖动时序

参数		最小值	最大值	单位
t_{Tx1bit}	时钟抖动和信号对称	98	102	ns
$t_{Tx10bit}$	FlexRay BSS (字节起始序列) 到 BSS	999	1001	ns
$t_{Tx10bitAvg}$	平均超过 10000 个样本	999.5	1000.5	ns
$t_{RxAsymDelay}$	FlexRay 内核中从 RX 引脚到采样点的上升和下降之间的延迟差异	-	2.5	ns

7.14 EMIF 时序
表 7-19. EMIF 读/写模式切换特性⁽¹⁾⁽²⁾

NO	参数	说明	最小值	最大值	单位
读取和写入					
1	t_d (周转)	周转时间	$(TA + 1) * E - t_{r(CS)} - 2$	$(TA + 1) * E - t_{r(CS)} + 3$	ns
读取					
2	$t_c(EMRCYCLE)$	EMIF 读取周期时间	$(RS+RST+RH+TA+4)*E-t_{r(CS)}-3$	$(RS+RST+RH+TA+4)*E-t_{r(CS)}+3$	ns
3	$t_{su}(EMCSL-EMOEL)$	输出建立时间, $\overline{EMIFCS}[3:0]$ 低电平至 \overline{EMIFOE} 低电平的时间 (SS=0)	$(RS+1)*E-t_{r(CS)}+t_{r(OE)}-5$	$(RS+1)*E-t_{r(CS)}+t_{r(OE)}+5$	ns
		输出建立时间 $\overline{EMIFCS}[3:0]$ 低电平至 \overline{EMIFOE} 低电平的时间 (SS=1)	$-t_{r(CS)}+t_{r(OE)}-5$	$-t_{r(CS)}+t_{r(OE)}+5$	ns
4	$t_h(EMOEH-EMCSH)$	输出保持时间, \overline{EMIFOE} 高电平至 $\overline{EMIFCS}[3:0]$ 高电平的时间 (SS=0)	$(RH + 1) * E - t_{r(OE)} + t_{r(CS)} - 4$	$(RH + 1) * E - t_{r(OE)} + t_{r(CS)} + 6$	ns
		输出保持时间, \overline{EMIFOE} 高电平至 $\overline{EMIFCS}[3:0]$ 高电平的时间 (SS=1)	$-t_{r(OE)} + t_{r(CS)} - 4$	$-t_{r(OE)} + t_{r(CS)} + 6$	ns
5	$t_{su}(EMBAV-EMOEL)$	输出建立时间, EMIFBADD[1:0] 有效至 \overline{EMIFOE} 低电平的时间	$(RS+1)*E-t_{r(AD)}+t_{r(OE)}-5$	$(RS+1)*E-t_{r(AD)}+t_{r(OE)}+5$	ns
6	$t_h(EMOEH-EMBAIV)$	输出保持时间, \overline{EMIFOE} 高电平至 EMIFBADD[1:0] 无效的时间	$(RH+1)*E-t_{r(OE)}-5$	$(RH+1)*E-t_{r(OE)}+5$	ns
7	$t_{su}(EMAV-EMOEL)$	输出建立时间, EMIFBADD[21:0] 有效至 \overline{EMIFOE} 低电平的时间	$(RS + 1) * E - t_{r(AD)} + t_{r(OE)} - 6$	$(RS + 1) * E - t_{r(AD)} + t_{r(OE)} + 6$	ns
8	$t_h(EMOEH-EMAIV)$	输出保持时间, \overline{EMIFOE} 高电平至 EMIFADD[21:0] 无效的时间	$(RH + 1) * E - t_{r(OE)} - 5$	$(RH + 1) * E - t_{r(OE)} + 6$	ns
9	$t_w(EMOEL)$	\overline{EMIFOE} 低电平有效宽度	$(RST + 1) * E - t_{r(OE)} - 1$	$(RST + 1) * E - t_{r(OE)} + 0$	ns
10	$t_{su}(EMDV-EMOEH)$	建立时间, EMIFD[15:0] 在 \overline{EMIFOE} 高电平前的有效时间	$t_{r(OE)} + 9$		ns
11	$t_h(EMOEH-EMDV)$	保持时间, EMIFD[15:0] 在 \overline{EMIFOE} 高电平后的有效时间	$- t_{r(OE)} - 3$		
写入					
12	$t_c(EMWCYCLE)$	EMIF 写入周期时间	$(WS + WST + WH + TA + 4) * E - t_{r(CS)} - 3$	$(WS + WST + WH + TA + 4) * E - t_{r(CS)} + 2$	ns
13	$t_{su}(EMCSL-EMWEL)$	输出建立时间, $\overline{EMIFCS}[3:0]$ 低电平至 \overline{EMIFWE} 低电平的时间 (SS=0)	$(WS + 1) * E - t_{r(CS)} + t_{r(WE)} - 5$	$(WS + 1) * E - t_{r(CS)} + t_{r(WE)} + 5$	ns
		输出建立时间 $\overline{EMIFCS}[3:0]$ 低电平至 \overline{EMIFWE} 低电平的时间 (SS=1)	$- t_{r(CS)} + t_{r(WE)} - 5$	$- t_{r(CS)} + t_{r(WE)} + 5$	ns
14	$t_h(EMWEH-EMCSH)$	输出保持时间, \overline{EMIFWE} 高电平至 $\overline{EMIFCS}[3:0]$ 高电平的时间 (SS=0)	$(WH + 1) * E - t_{r(WE)} + t_{r(CS)} - 4$	$(WH + 1) * E - t_{r(WE)} + t_{r(CS)} + 5$	ns
		输出保持时间, \overline{EMIFWE} 高电平至 $\overline{EMIFCS}[3:0]$ 高电平的时间 (SS=1)	$- t_{r(WE)} + t_{r(CS)} - 4$	$- t_{r(WE)} + t_{r(CS)} + 5$	ns
15	$t_{su}(EMBAV-EMWEL)$	输出建立时间, EMIFBADD[1:0] 有效至 \overline{EMIFWE} 低电平的时间	$(WS + 1) * E - t_{r(AD)} + t_{r(WE)} - 5$	$(WS + 1) * E - t_{r(AD)} + t_{r(WE)} + 5$	ns
16	$t_h(EMWEH-EMBAIV)$	输出保持时间, \overline{EMIFWE} 高电平至 EMBADD[1:0] 无效的时间	$(WH + 1) * E - t_{r(WE)} - 5$	$(WH + 1) * E - t_{r(WE)} + 5$	ns
17	$t_{su}(EMAV-EMWEL)$	输出建立时间, EMIFADD[21:0] 有效至 \overline{EMIFWE} 低电平的时间	$(WS + 1) * E - t_{r(AD)} + t_{r(WE)} - 6$	$(WS + 1) * E - t_{r(AD)} + t_{r(WE)} + 6$	ns
18	$t_h(EMWEH-EMAIV)$	输出保持时间, \overline{EMIFWE} 高电平至 EMIFADD[21:0] 无效的时间	$(WH + 1) * E - t_{r(WE)} - 5$	$(WH + 1) * E - t_{r(WE)} + 6$	ns
19	$t_w(EMWEL)$	\overline{EMIFWE} 低电平有效宽度	$(WST + 1) * E - t_{r(WE)} - 1$	$(WST + 1) * E - t_{r(WE)} + 1$	ns

(1) RS = 读取设置, RST = 读取选通脉冲, RH = 读取保持, WS = 写入建立, WST = 写入选通脉冲, WH = 写入保持, TA = 转向, SS = 选通脉冲选择模式

(2) E = 以 ns 为单位的 VCLK 周期。

表 7-19. EMIF 读/写模式切换特性⁽¹⁾⁽²⁾ (continued)

NO	参数	说明	最小值	最大值	单位
20	$t_{su}(EMDV-ENWEL)$	输出建立时间, EMIFD[15:0] 有效至 \overline{EMIFWE} 低电平的时间	$(WS + 1) * E - t_{r(DA)} + t_{r(WE)} - 6$	$(WS + 1) * E - t_{r(DA)} + t_{r(WE)} + 5$	ns
21	$t_h(EMWEH-EMDIV)$	输出保持时间, EMIFD[15:0] 在 \overline{EMIFWE} 高电平后的有效时间	$(WH + 1) * E - t_{r(WE)} - 5$	$(WH + 1) * E - t_{r(WE)} + 5$	ns

7.14.1 读取时序 (异步 RAM)

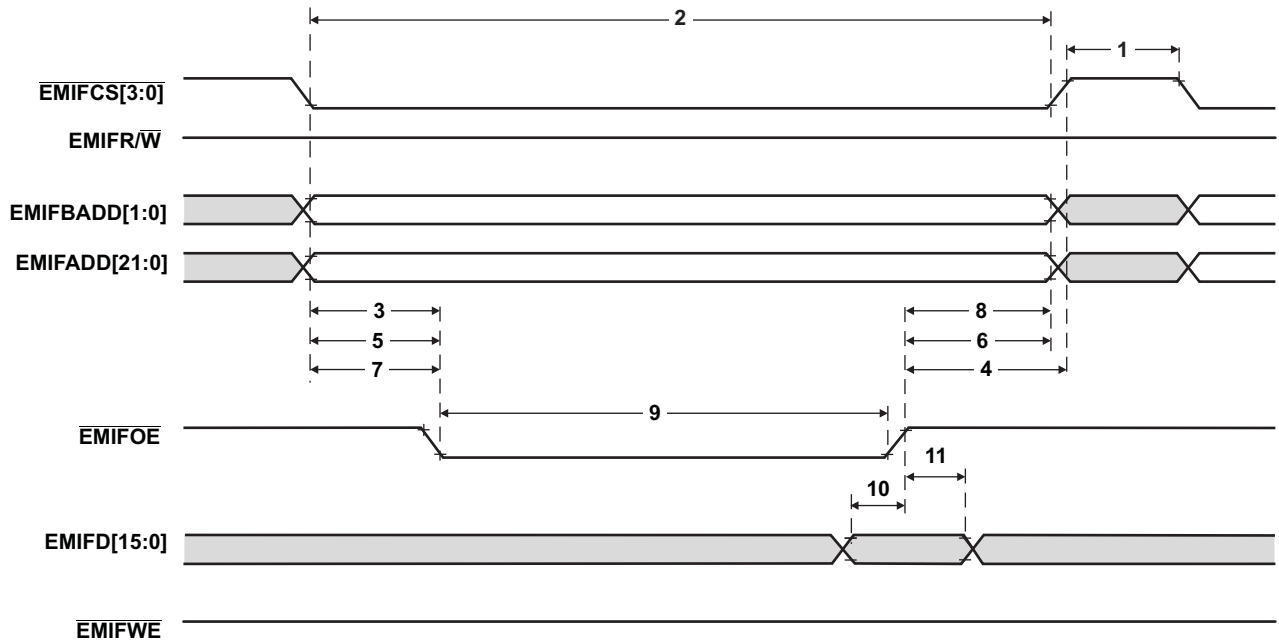


图 7-17. EMIF 的异步内存读取时序

7.14.2 写入时序 (异步 RAM)

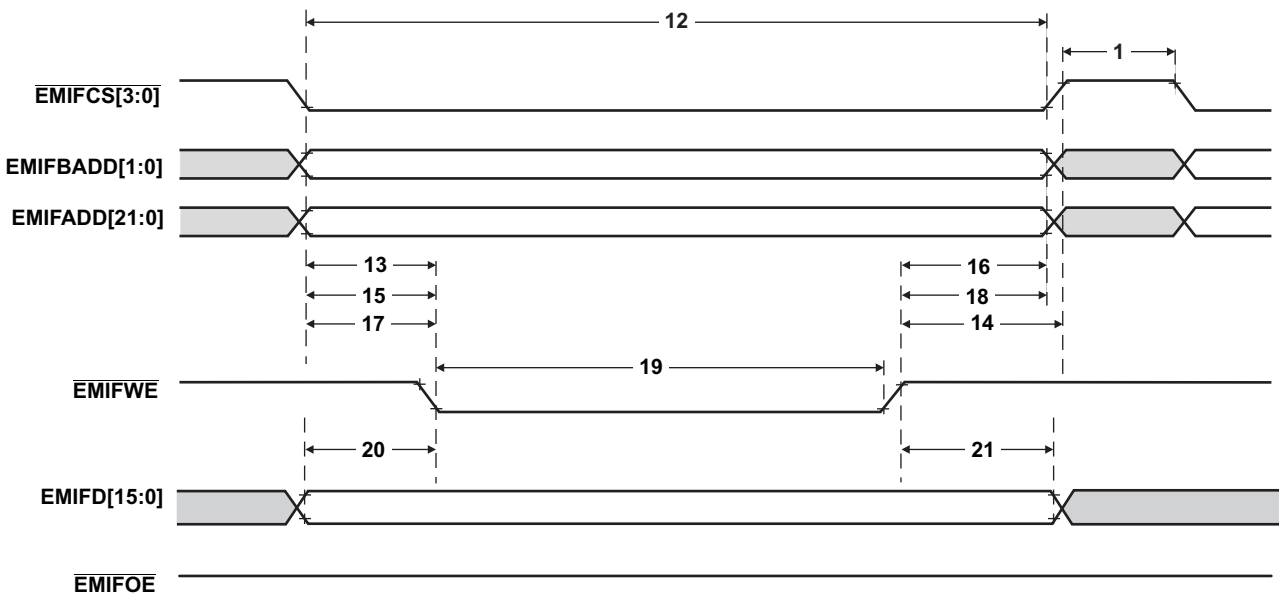


图 7-18. EMIF 的异步内存写入时序

7.15 ETM 时序

7.15.1 ETMTRACECLK 时序

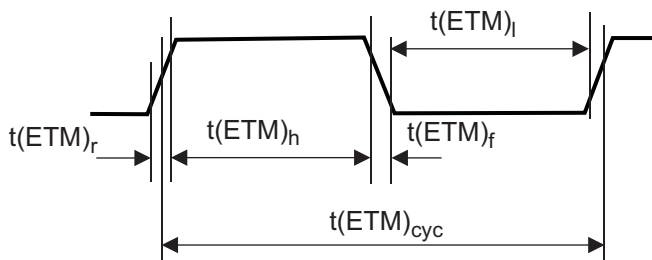


图 7-19. ETMTRACECLK 时序

表 7-20. ETMTRACECLK 时序

参数	最小值	最大值	说明
$f(\text{ETM})_{\text{cyc}}$		40 MHz	时钟频率
$t(\text{ETM})_{\text{cyc}}$	25ns		时钟周期
$t(\text{ETM})_l$	2ns		低脉冲宽度
$t(\text{ETM})_h$	2ns		高脉冲宽度
$t(\text{ETM})_r$	3ns		时钟和数据上升时间
$t(\text{ETM})_f$	3ns		时钟和数据下降时间

7.15.2 ETMDATA 时序

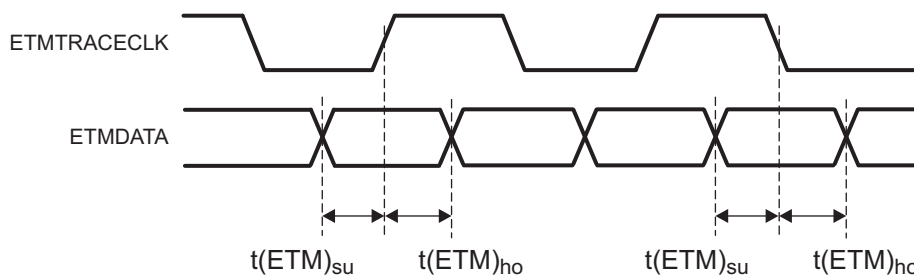


图 7-20. ETMDATA 时序

表 7-21. ETMDATA 时序

参数	典型	说明
$t(\text{ETM})_{\text{su}}$	2.5ns	数据建立时间
$t(\text{ETM})_{\text{ho}}$	1.5ns	数据保存时间

请注意：本表中的时序是使用 50pF 和 50μA 负载测量的。并且它们是在 50% 点被测量，而不是在 20% 或 80% 点上测量的。“典型”是指 25°C 和标称电压。

7.16 RTP 时序

7.16.1 RTPCLK 时序

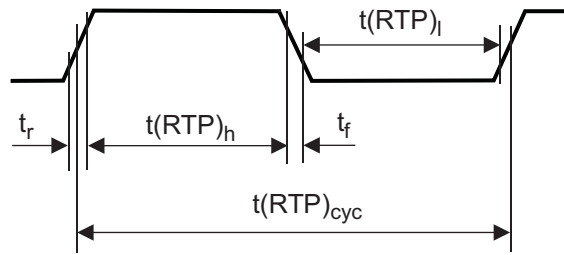


图 7-21. RTPCLK 时序

表 7-22. RTPCLK 时序

参数	最小值	说明
$t(RTP)_{cyc}$	10 ns	时钟周期 (取决于 HCLK 的分频比)
$t(RTP)_h$	$(t(RTP)_{cyc}/2) - ((t_r+t_f)/2) - 1.5$	高脉冲宽度 (取决于 HCLK 分频比和引脚的负载)
$t(RTP)_l$	$(t(RTP)_{cyc}/2) - ((t_r+t_f)/2) - 1.5$	低脉冲宽度 (取决于 HCLK 分频比和引脚的负载)

7.16.2 RTPDATA 时序

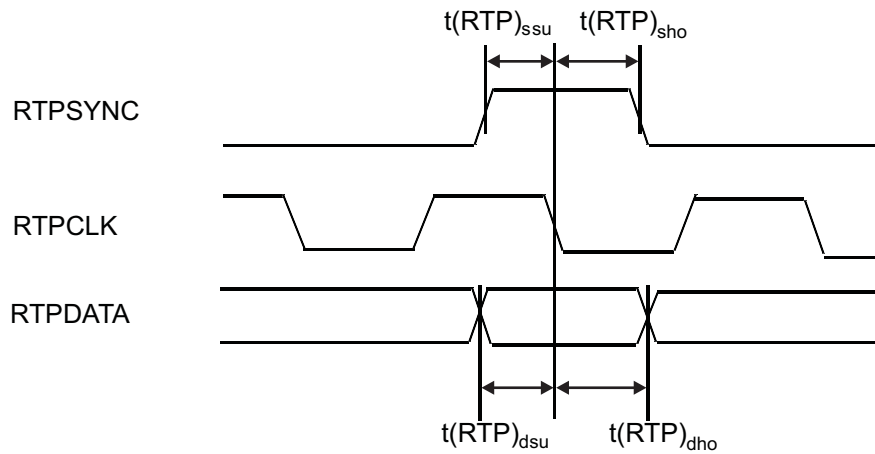


图 7-22. RTPDATA 时序

表 7-23. RTPDATA 时序

参数	最小值	说明
$t(RTP)_{dsu}$	$0.5 t(RTP)_{cyc} - 3ns$	数据建立时间
$t(RTP)_{dho}$	$0.5 t(RTP)_{cyc} - 2ns$	数据保持时间
$t(RTP)_{ssu}$	$0.5 t(RTP)_{cyc} - 3ns$	同步建立时间
$t(RTP)_{sho}$	$0.5 t(RTP)_{cyc} - 2ns$	同步保持时间

请注意：本表中的时序是使用 50pF 和 50μA 负载测量的。并且它们是在 50% 点被测量，而不是在 20% 或 80% 点上测量的。

7.16.3 RTPENABLE 时序

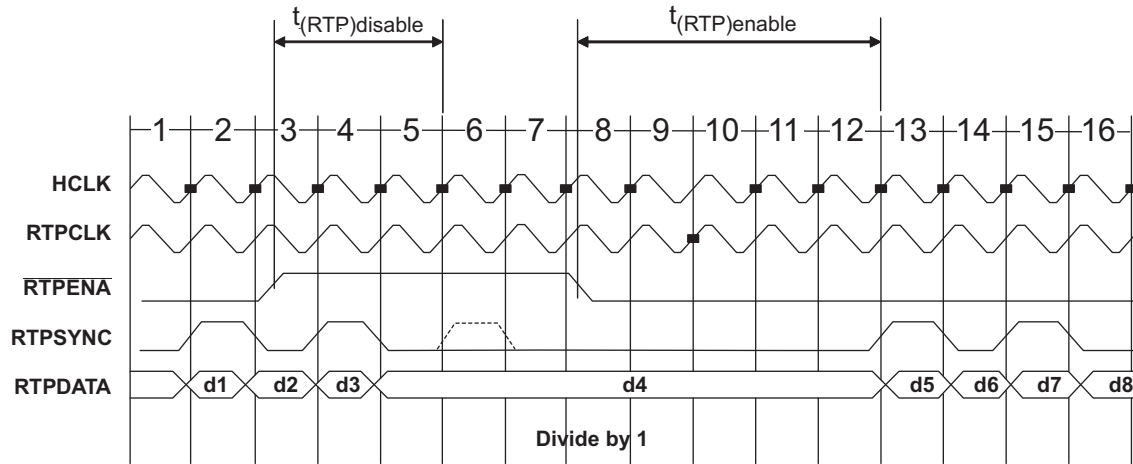


图 7-23. RTPENABLE 时序

表 7-24. RTPENABLE 时序

参数	最小值	最大值	说明
$t_{(RTP) 禁用}$	$1.5t_{c(HCLK)} + t_{r(RTPSYNC)} + 12ns$		\overline{RTPENA} 的时间必须在下一个预定的 RTPSYNC 之前提高, 以此来暂停预定的 RTPSYNC 之后的数据包传输。
$t_{(RTP) 启用}$	$4.5t_{c(HCLK)} + t_{r(RTPSYNC)}$	$5.5t_{c(HCLK)} + t_{r(RTPSYNC)} + 12ns$	\overline{RTPENA} 在一个数据包已经被暂停前变为低电平之后的恢复时间。

7.17 DMM 时序

7.17.1 DMMCLK 时序

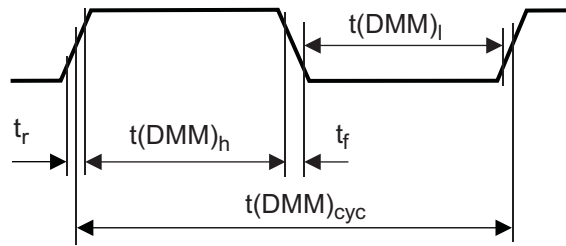


图 7-24. DMMCLK 时序

表 7-25. DMMCLK 时序

参数	最小值	说明
$t(\text{DMM})_{\text{cyc}}$	$t_{\text{c(HCLK)}} * 2$	时钟周期
$t(\text{DMM})_{\text{h}}$	$t(\text{DMM})_{\text{cyc}}/2 - (t_{\text{r}} + t_{\text{f}})/2$	高脉冲宽度
$t(\text{DMM})_{\text{l}}$	$t(\text{DMM})_{\text{cyc}}/2 - (t_{\text{r}} + t_{\text{f}})/2$	低脉冲宽度

7.17.2 DMMDATA 时序

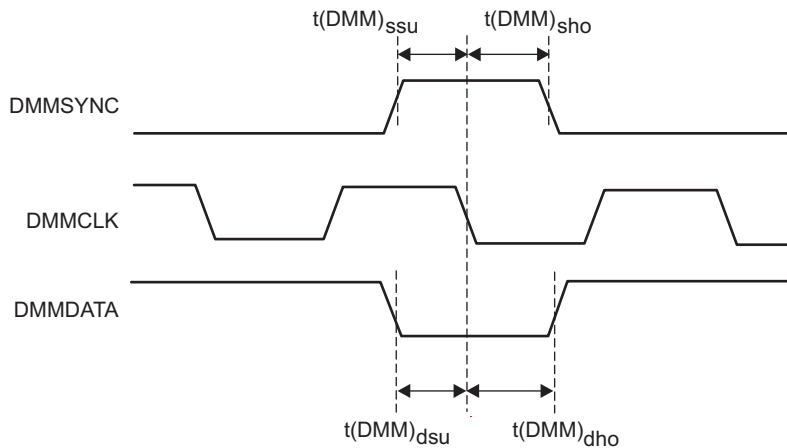


图 7-25. DMMDATA 时序

表 7-26. DMMDATA 时序

参数	最小值	说明
$t(\text{DMM})_{\text{ssu}}$	2ns	同步激活到 CLK 下降边沿的建立时间
$t(\text{DMM})_{\text{sho}}$	3ns	CLK 下降边沿到同步未激活的保持时间
$t(\text{DMM})_{\text{dsu}}$	2ns	数据到 CLK 下降边沿的建立时间
$t(\text{DMM})_{\text{dho}}$	3ns	CLK 下降边沿到数据的保持时间

7.17.3 DMMENA 时序

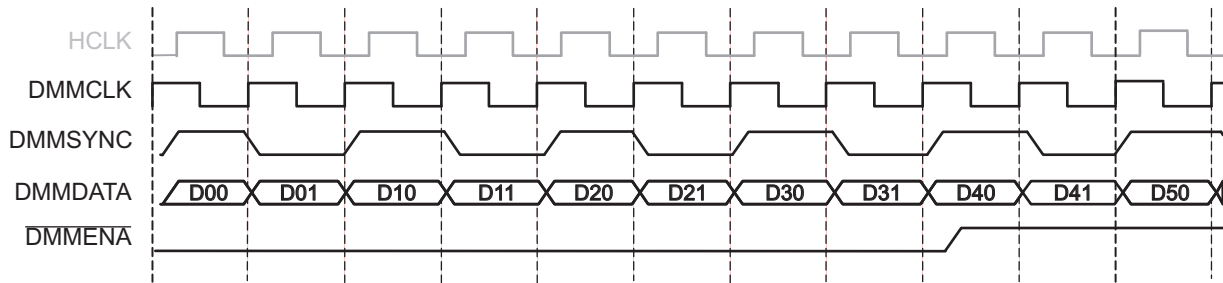


图 7-26. DMMENA 时序

上图中显示了每 2 个 DMMCLK 周期使用 1 个 DMM 数据包的情况（模式=直接数据模式，数据宽度 = 8，端口宽度 = 4）其中 DMM 接收到的数据包没有被发送出去，造成了内部缓冲区被填满。在两个数据包首次被收到并且同步至 HCLK 域之后，DMMENA 信号显示被置为有效。这里，DMM 能接受 D4, D5, D6, D7 数据包。D8 数据包将溢出。一旦 DMMENA 被置为有效，DMM 就会在 4 个 HCLK 周期后停止接收数据包；一旦 DMMENA 被置为无效，DMM 将立即处理数据包（0 个 HCLK 周期后）。

7.18 MibADC

7.18.1 MibADC

多缓冲模数转换器 (MibADC) 有一个针对其模拟电路的独立电源总线，此电源总线通过阻止出现在逻辑电路（此逻辑电路可出现在 VSS 和 VCC 上）上的数字开关噪声耦合进入模数转换的模拟阶段来提高模数转换的性能。所有的数模转换技术规范都是相对于 ADREFLO 给出的除非另有说明。

表 7-27. MibADC

分辨率	12位 (4096 值)
单片	分配
输出转换 ϕ code	00h 到 FFFh [00 用于 $V_{AI} \leq AD_{REFLO}$ 时；FFF 相对于 $V_{AI} \geq AD_{REFHI}$ 时]

7.18.2 MibADC 建议工作条件

表 7-28. MibADC 建议工作条件⁽¹⁾

		最小值	最大值	单位
AD _{REFHI}	模数高电压基准源	3	3.6	V
AD _{REFLO}	模数低电压基准源	0	0.3	V
V _{AI}	模拟输入电压	AD _{REFLO}	AD _{REFHI}	V
I _{AIC}	模拟输入钳位电流 ⁽²⁾ ($V_{AI} < V_{SSAD} - 0.3$ 或 $V_{AI} > V_{CCAD} + 0.3$)	-2	2	mA

(1) 对于 V_{CCAD} 和 V_{SSAD} 建议的工作条件，请参阅“器件建议工作条件”表。

(2) 输入到任何指定范围之外的 ADC 输入通道中的输入电流可能会影响其他通道的转换结果。

7.18.3 建议工作条件全范围内的工作特性

表 7-29. 建议工作条件全范围内的工作特性⁽¹⁾

参数	说明/条件	最小值	典型值	最大值	单位
R _{复用}	模拟输入多路复用导通电阻			250	Ω
R _{samp}	ADC 采样开关导通电阻		150	250	Ω

(1) 1 LSB = (AD_{REFHI} - AD_{REFLO})/2¹² 对于 MibADC

表 7-29. 建议工作条件全范围内的工作特性⁽¹⁾ (continued)

参数		说明/条件	最小值	典型值	最大值	单位
C _{复用}	输入多路复用电容				16	pF
C _{samp}	ADC 采样电容		11	12	13	pF
I _{AIL}	模拟输入泄露漏电流	每个 ADC 输入引脚的输入泄露漏电流	-200		200	nA
I _{ADREFHI}	AD _{REFHI} 输入电流	AD _{REFHI} =3.6V, AD _{REFLO} =V _{SSAD}			5	mA
CR	额定精度被保持时的转换范围	AD _{REFHI} - AD _{REFLO}	3		3.6	V
E _{DNL}	微分非线性误差	实际步长宽度和理想值之间的差异。			±2	LSB
E _{INL}	积分非线性误差	从最佳直线到 MibADC 的最大偏差。MibADC 传输的特点, 不包括量化误差。			±2	最低有效位 (LSB)
E _{TOT}	总误差/绝对精度	模拟值与理想中点值之间的差异最大值。	实行定期进行内部校准		±4 ⁽²⁾	LSB
			无需校准		±8	LSB

(2) 要获得绝对精度, 需要定期执行内部偏移校准。更多信息, 请参阅《TMS570LS 系列微控制器技术参考手册》(SPNU489)的《数模转换 (ADC) 模块》一章和《到嵌入式 12 位 ADC 的接口》(SPNA129)。

7.18.4 MibADC 输入模式

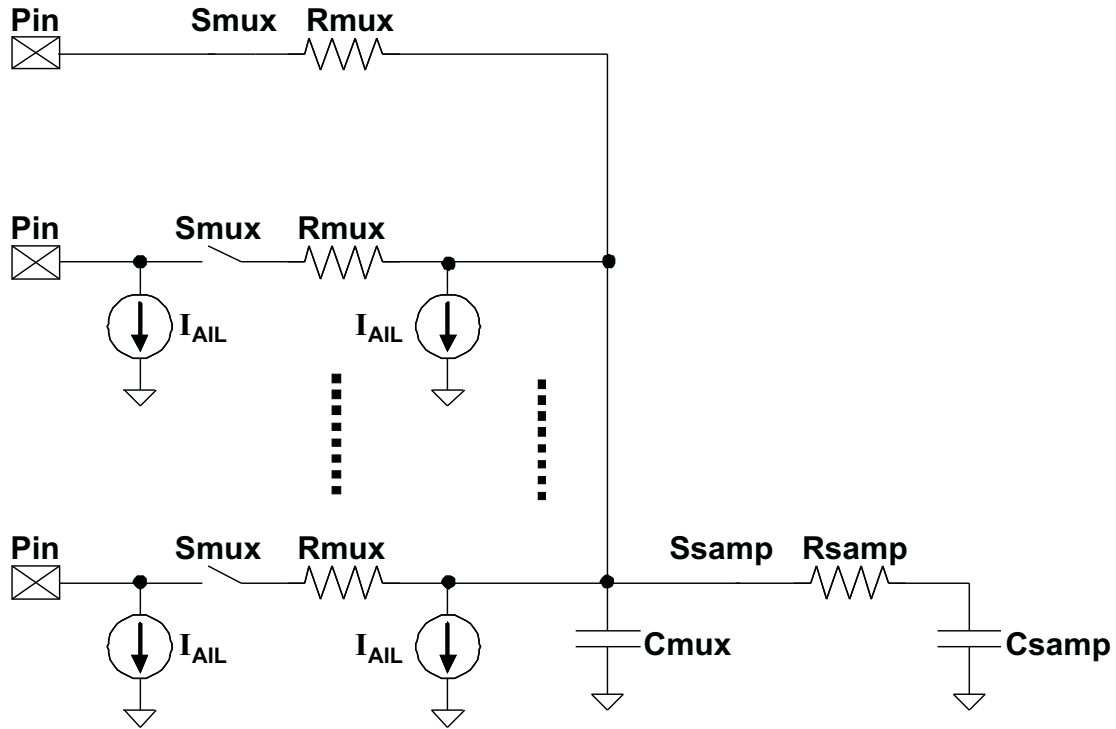


图 7-27. MibADC 输入等效电路

7.18.5 MibADC 时序

表 7-30. MibADC 时序

		最小值	正常值	MAX	单位
$t_{c(ADCLK)}$	周期时间, MibADC 时钟	33			ns
$t_{d(SH)}$	延迟时间, 采样和保持时间	200			ns
$t_{d@}$	延迟时间, 转换时间	400			ns
$t_{d(SHC)}^{(1)}$	延迟时间, 总样本/保持和转换时间	600			ns

(1) 这是可以达到的最低采样/保持和转换时间。这些参数取决于许多因素, 如预分频器设置。

7.18.6 MibADC 非线性误差

在下图所示的微分非线性（有时也被称为微分线性）误差是实际步长宽度与 1 LSB 理想值之间的差异。

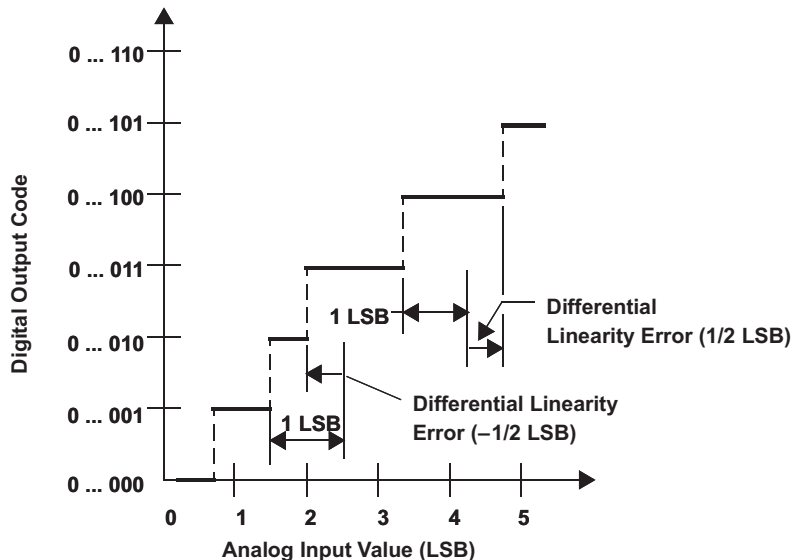


图 7-28. 微分非线性 (DNL)

在下图所示的积分非线性（有时称为线性误差）误差是从一条直线上的实际传递函数值的偏差。

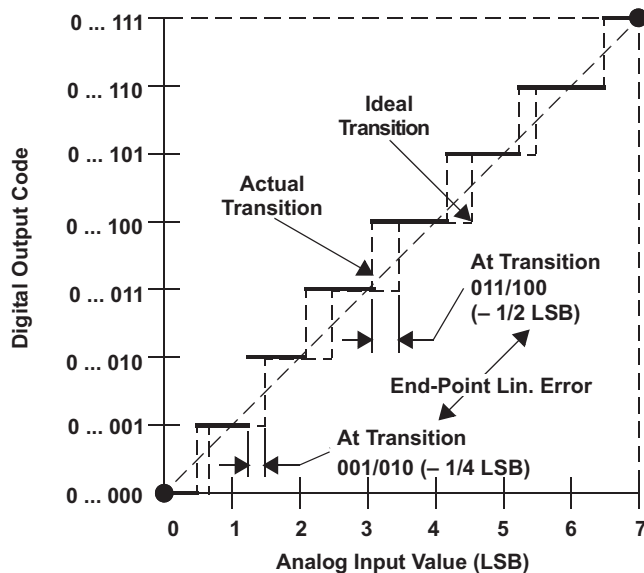


图 7-29. 积分非线性 (INL) 误差

7.18.7 MibADC 总误差

在下图中所示一个 MibADC 的绝对精度或总误差是的一个模拟值与理想中点值之间的最大差值。

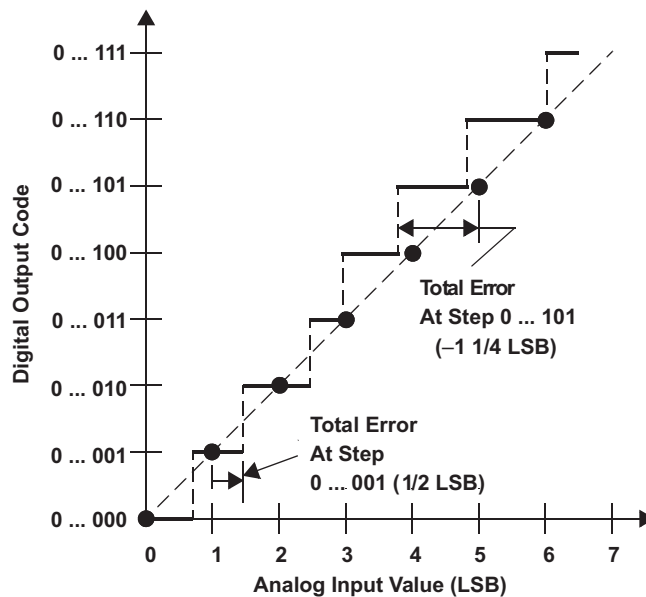


图 7-30. 绝对精度 (总) 误差

8 修订历史记录

本数据手册的修订历史强调了器件或数据手册的技术改变。

日期	添加、删除、和修改	修订版本
2010 年 3 月	更新了内存映射部分。	A
2010 年 6 月	更新了 MibADC 输入等效电路图解。 更新了 ZWT 封装引脚分配图解。	B
2010 年 8 月 2010 年 10 月	更新了 RTPDATA 时序图。 增加了闪存 ECC 和 Ram ECC 上推测取指令的注释。 更新了带有特征化数据的流耗。 更新了带有特征化数据的时序要求。 增加了 RCLK, 测试引脚参数, 固定的 SPI 时序公式。	C
2011 年 1 月	更新了带有特征化数据的数据表。 TMS 版本。	D
2011 年 7 月	更新了 DMA 通道控制数据包的数量。 互换了 SPI1CS 和 SPI1CLK 的说明。 互换了 SPI3CS 和 SPI3CLK 的说明。 增加了表 2-7 的注释来为不同 RAM 指定测试时钟。 修改了表 7-6 的注释来处理勘误表 AnalogIP_F035.BTS_VMON _F035_33.2。	F

9 机械封装和可订购部件信息

下表显示了针对 PBGA-ZWT 和 PQFP-PGE 机械封装的热阻。

9.1 散热数据

9.1.1 PGE (S-PQFP-G144) 塑料四方扁平封装

表 9-1. PGE (S-PQFP-G144) 热阻特性

参数	°C/W
$R_{\theta JA}$	45
$R_{\theta JC}$	5

9.1.2 ZWT (S-PBGA-N337) 塑料球状引脚栅格阵列封装

表 9-2. ZWT ((S-PBGA-N337) 热阻特性

参数	°C/W
$R_{\theta JA}$	22
$R_{\theta JC}$	3.3

9.2 封装信息

下列封装信息和附录反映了针对指定器件可提供的最新数据。该数据会在无通知且不对本文档进行修订的情况下发生改变。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
S5LS10106ASPGEQQ1	NRND	LQFP	PGE	144	60	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	10106ASPGEQQ1 TMS570LS	
S5LS10106ASZWTQQ1	NRND	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	TMS570 LS10106ASZWTQQ1	
S5LS10116ASPGEQQ1	NRND	LQFP	PGE	144	60	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	10116ASPGEQQ1 TMS570LS	
S5LS10116ASZWTQQ1	NRND	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	TMS570 LS10116ASZWTQQ1	
S5LS10206ASPGEQQ1	NRND	LQFP	PGE	144	60	TBD	Call TI	Call TI	-40 to 125		
S5LS10206ASZWTQQ1	NRND	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	TMS570 LS10206ASZWTQQ1	
S5LS10216ASPGEQQ1	NRND	LQFP	PGE	144	60	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	10216ASPGEQQ1 TMS570LS	
S5LS10216ASZWTQQ1	NRND	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	TMS570 LS10216ASZWTQQ1	
S5LS20206ASPGEQQ1	NRND	LQFP	PGE	144	60	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	20206ASPGEQQ1 TMS570LS	
S5LS20206ASPGEQQ1R	NRND	LQFP	PGE	144	500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	20206ASPGEQQ1 TMS570LS	
S5LS20206ASZWTQQ1	NRND	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	TMS570 LS20206ASZWTQQ1	
S5LS20216ASPGEQQ1	NRND	LQFP	PGE	144	60	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	20216ASPGEQQ1 TMS570LS	
S5LS20216ASZWTQQ1	NRND	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	TMS570 LS20216ASZWTQQ1	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

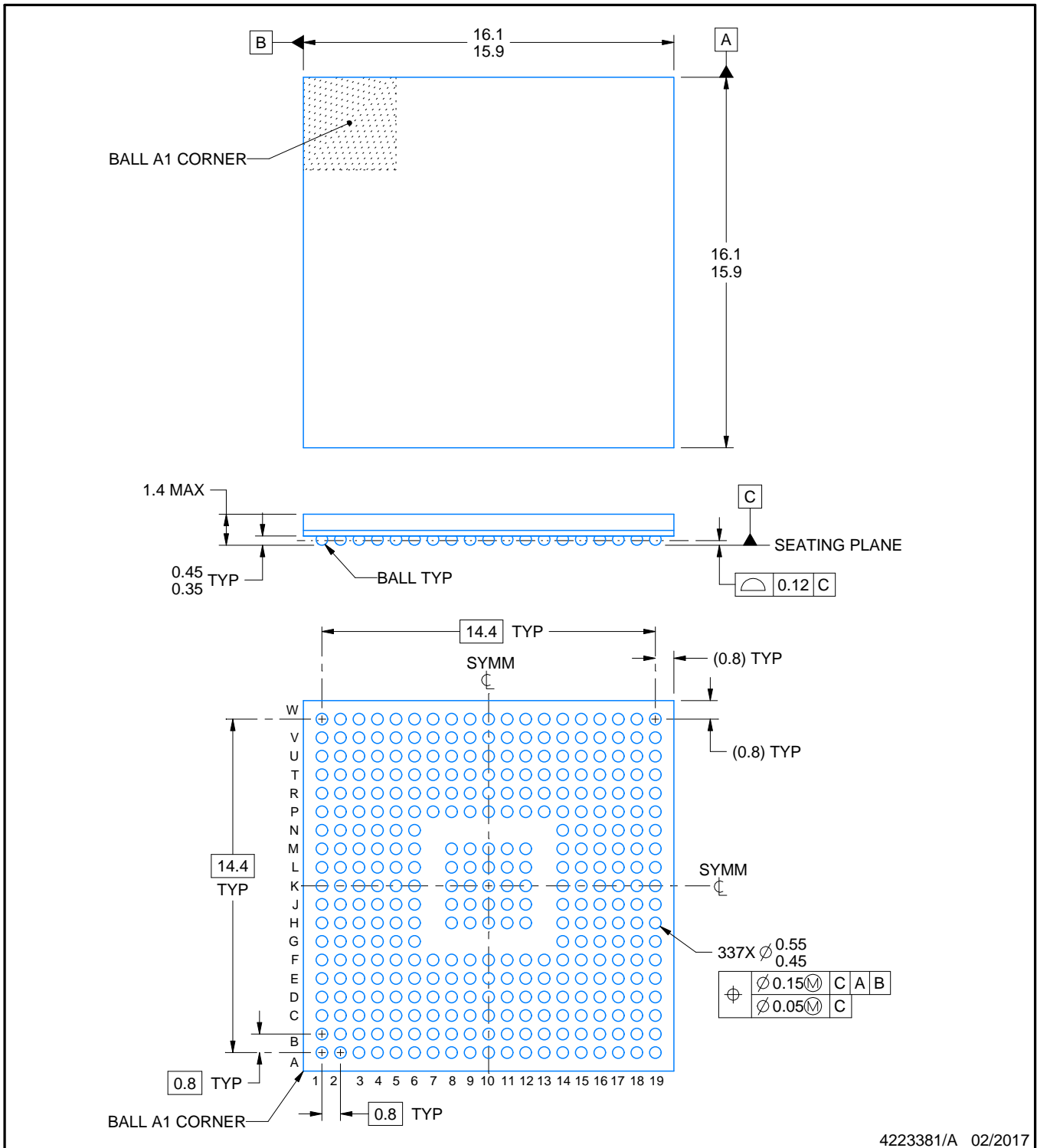
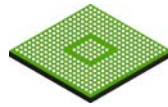
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS570LS20206, TMS570LS20216 :

- Enhanced Product : [TMS570LS20206-EP](#), [TMS570LS20216-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications



NOTES:

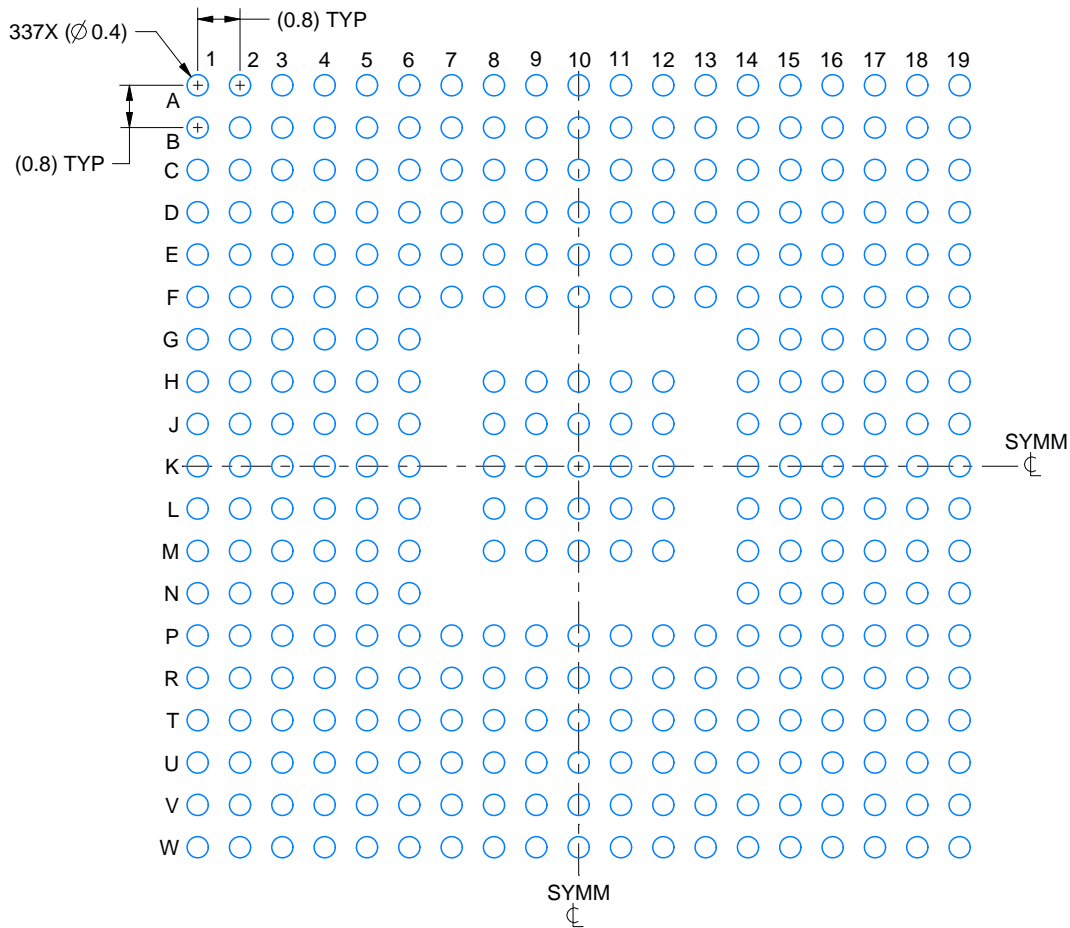
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

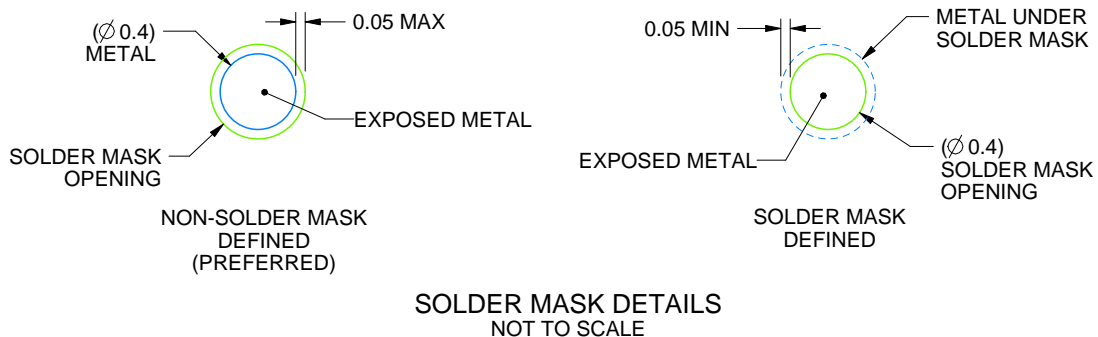
ZWT0337A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:7X



4223381/A 02/2017

NOTES: (continued)

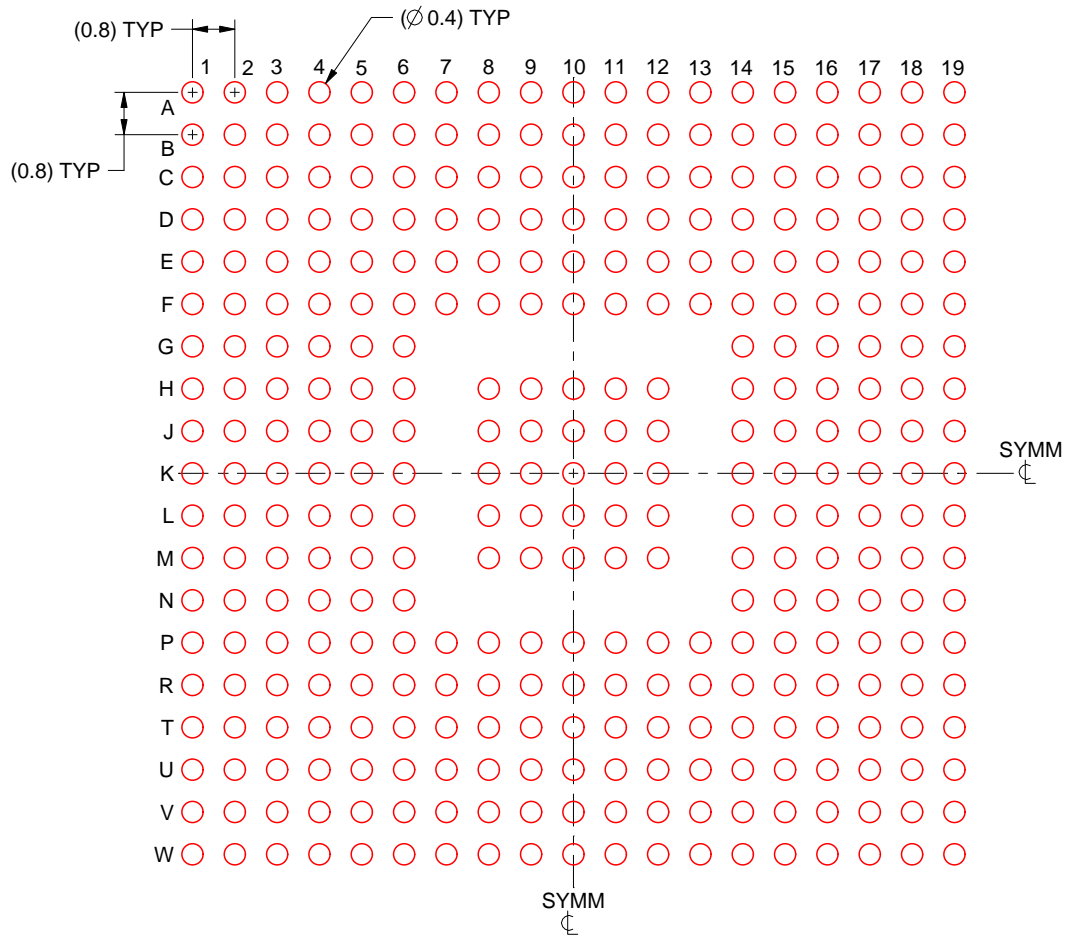
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZWT0337A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:7X

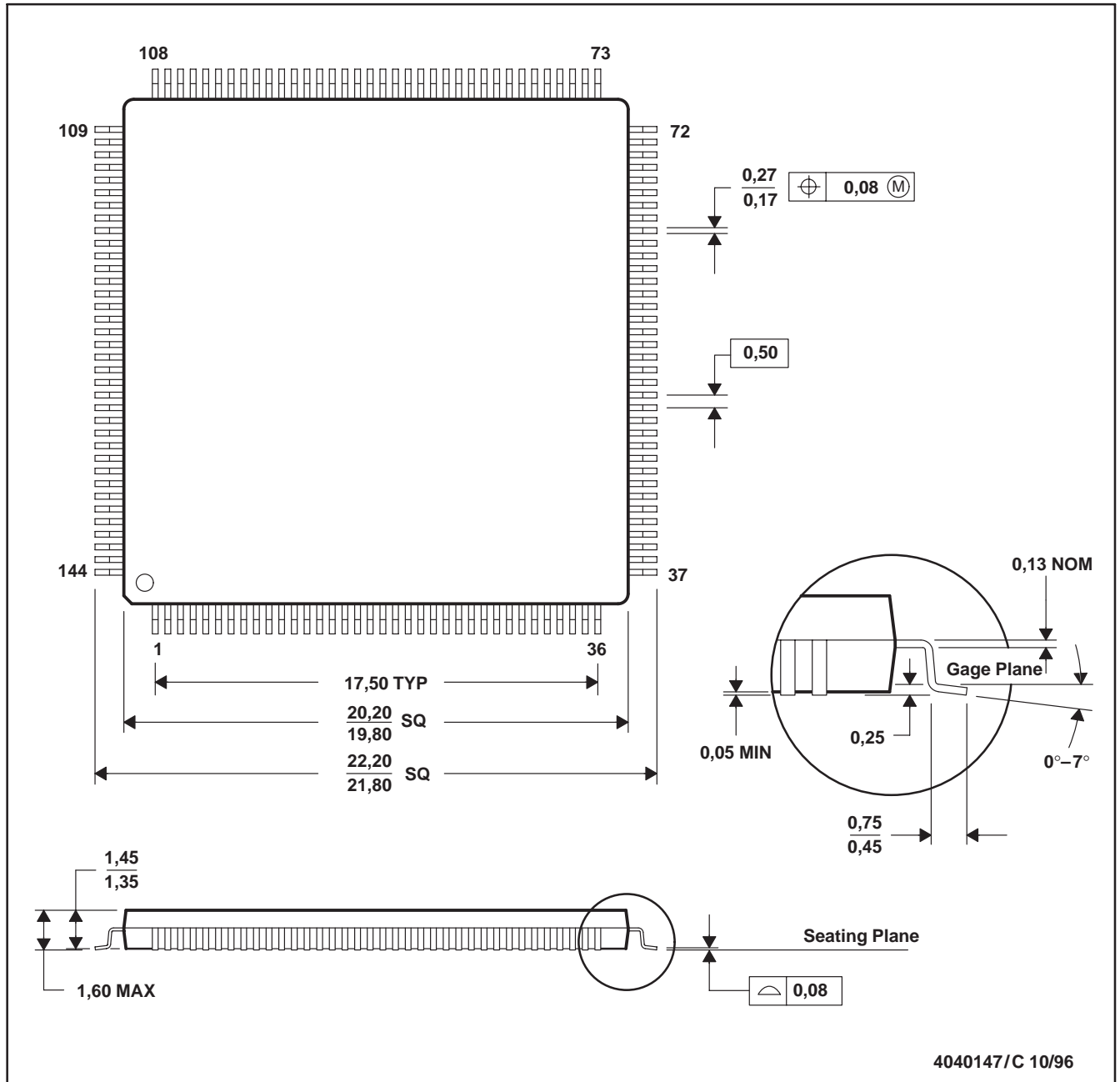
4223381/A 02/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PGE (S-PQFP-G144)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021，德州仪器 (TI) 公司