

## 四通道 XAUI/10GBASE-KR 收发器

查询样品: **TLK10034**

### 特性

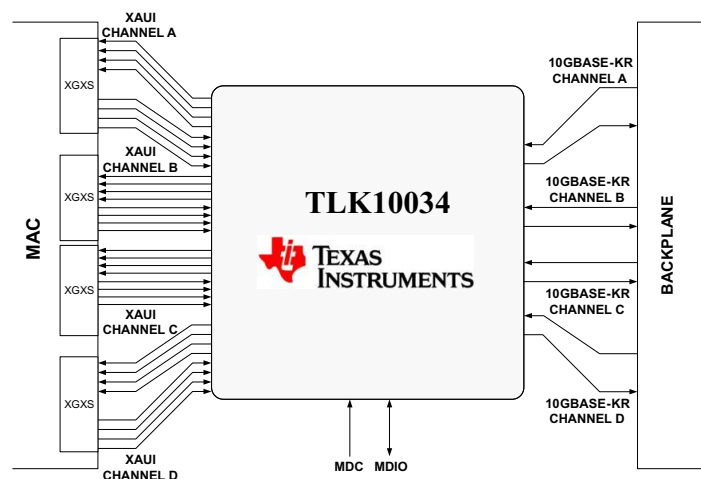
- 四通道多速率收发器
- 支持 **10GBASE-KR**, **XAUI**, 和 **1GBASE-KX** 以太网标准
- 支持所有数据速率高达 **10Gbps** 通用公共无线接口 (**CPRI**) 和开放基站架构协议 (**OBSAI**)
- 在高速端支持数据速率高达 **10.3125Gbps** 的多速率串行解串器 (**SERDES**) 运行, 在低速端支持的数据速率高达 **5Gbps**
- 高速端和低速端上的差分电流模式逻辑 (**CML**) I/O 接口
- 到背板、无源和有源铜线缆、或者小尺寸可插拔 (**SFP**)+ 光模块的接口
- 可选基准时钟每通道 (带有多输出时钟选项)
- 高速端和低速端上的回路功能
- 支持数据重新定时操作
- 支持伪随机二进制序列 (**PRBS**), 随机测试兼容模板 (**CRPAT**), 长连续抖动测试图案 (**CJPAT**), 高/低/混频模式, 和 **KR** 伪随机模式生成以及验证, 方波生成
- 双电源: 标称值 **1.0V**, 和 **1.5V** 或者 **1.8V**
- 无需电源排序
- 发送去加重功能和接收自适应均衡可允许扩展背板/

线缆达到高速端和低速端

- 高速端和低速端上的可编程发送输出摆动
- 信号损失 (**LOS**) 检测
- 支持 **10G-KR** 链路协商、前向纠错、自动协商
- 超大数据包支持
- **JTAG**; **IEEE 1149.1 / 1149.6** 测试接口
- 业界标准数据管理输入输出 (**MDIO**) 条款 **45** 和 **22** 控制接口
- **65nm** 高级 **CMOS** 技术
- 工业用环境运行温度 (**-40°C** 至 **85°C**)
- 功耗: 每通道 **825mW** (标称值)
- 器件封装: **19mm x 19mm**, **324** 引脚塑料球状引脚栅格阵列封装 (**PBGA**), **1mm** 焊球间距

### 应用范围

- **10GBASE-KR** 兼容背板连接
- **10** 兆位以太网交换机、路由器、和网络接口卡
- **10** 兆位以太网刀片式服务器
- 私有线缆/背板连接
- 高速点到点传输系统



### 说明

TLK10034 是一款四通道多速率收发器, 此收发器用于高速双向点到点数据传输系统中。这个器件支持三个主模式。它可被用作一个 XAUI 到 10GBASE-KR 的收发器、一个通用 8b/10b 多速率 4:1, 2:1, 1:1 串行器/解串行器, 或者被用在 1G-KX 模式中。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

运行在 10GBASE-KR 模式中时, TLK10034 将出现在其低速 (LS) 端数据输入上的 8B/10B 编码 XAUI 数据流串行化。经串行化的 8B/10B 编码数据以 64B/66B 编码格式出现在高速 (HS) 端输出上。相似的, TLK10034 将出现在其高速端数据输入上的 64B/66B 编码数据流串行化。格式为 8B/10B 的经解串行化 64B/66B 出现在低侧端输出上。这个模式支持链路以及针对扩展长度应用的前向纠错 (FEC)。

当运行在通用 SERDES 模式时, TLK10034 将出现在其低速 (LS) 端数据输入上的 8B/10B 经编码数据流进行 2:1 和 4:1 串化。经串化的 8B/10B 编码数据出现在高速 (HS) 输出上。相似的, TLK10034 将出现在其高速端数据输入上的 8B/10B 编码数据流进行 1:2 和 1:4 解串化。经解串化的 8B/10B 编码数据出现在低速端输出上。根据串化/解串化比率, 低速端数据传输速率范围介于 0.5Gbps 至 5Gbps 之间, 而高速端数据传输速率介于 1Gbps 至 10Gbps 之间。还支持 1:1 重整形模式, 但是速率限制在 1Gbps 至 5Gbps。

TLK10034 还支持具有 PCS (CTC) 功能的 1G-KX (1.25Gbps) 模式。通过软件服务开通或者自动协商可启用这个模式。如果使用了软件服务开通, 那么支持的数据传输速率可高达 3.125Gbps。

低速端和高速端数据输入和输出是具有集成端接电阻器的差分电流模式逻辑 (CML) 类型。

为了支持不同操作, TLK10034 提供了灵活的计时方案。这些方案包括对使用一个从高速端恢复的外部抖动清除时钟进行计时的支持。此器件还能够在 10GBASE-KR 和 1G-KX 模式下执行时钟容限补偿 (CTC), 从而实现异步计时。

TLK10034 为自检和系统诊断用途提供低速端和高速端回路模式。

TLK10034 具有针对系统测试的内置模式生成器和验证器。此器件支持不同 PRBS, 高, 低, 混合, CRPAT 长/短, CJPAT, 和 KR 伪随机测试模式的生成和方波生成。低速端和高速端上支持的模式类型取决于所选择的操作模式。

TLK10034 在高速端和低速端都具有一个集成信号损失 (LOS) 检测功能。在输入差分电压摆幅少于 LOS 有效阈值的条件下, LOS 被置为有效。

在 10GBASE-KR 模式下, 通过标准 XAUI 通道对齐可实现针对每个通道的通道对齐。在通用 SERDES 模式下, 通过一个私有通道对齐机制可实现针对每个通道的低速端通道对齐。为了实现正确链路运行, 上行链路合作方器件需要执行通道对齐机制。正常链路运行只有在实现通道对齐之后才会重新开始。

四个 TLK10034 通道完全独立。它们可以在不同的基准时钟、不同的数据速率、和不同的串化/解串化比率下运行。

TLK10034 的低速端是与一个能够处理低速率串行数据流的现场可编程栅极阵列 (FPGA) 或者特定用途集成电路 (ASIC) 进行对接的理想选择。高速端非常适合通过光纤、电缆、或者背板接口与远程系统对接。TLK10034 支持 SFP 和 SFP+ 光模块, 以及 10GBASE-KR 兼容背板系统的运行。

## 物理特性

### 方框图

图 1 中显示了 TLK10034 器件用于通道 A 的不同接口。所有四个通道的实现方法是一样的。图 2 显示了针对发送和数据路径的方框图。这个低功耗收发器由两个串行/解串行器 (SERDES) 块, 一个在低速端, 而另外一个在高速端组成。位于两个 SERDES 块之间的内核逻辑块执行逻辑功能, 其中包括通道同步、通道对齐、8B/10B 和 64B/66B 编码/解码, 以及测试模式生成和验证。

TLK10034 提供一个数据管理输入/输出 (MDIO) 接口以及一个用于器件配置、控制、和监视的 JTAG 接口。

TLK10034 数据手册中有 TLK10034 引脚功能的详细说明。

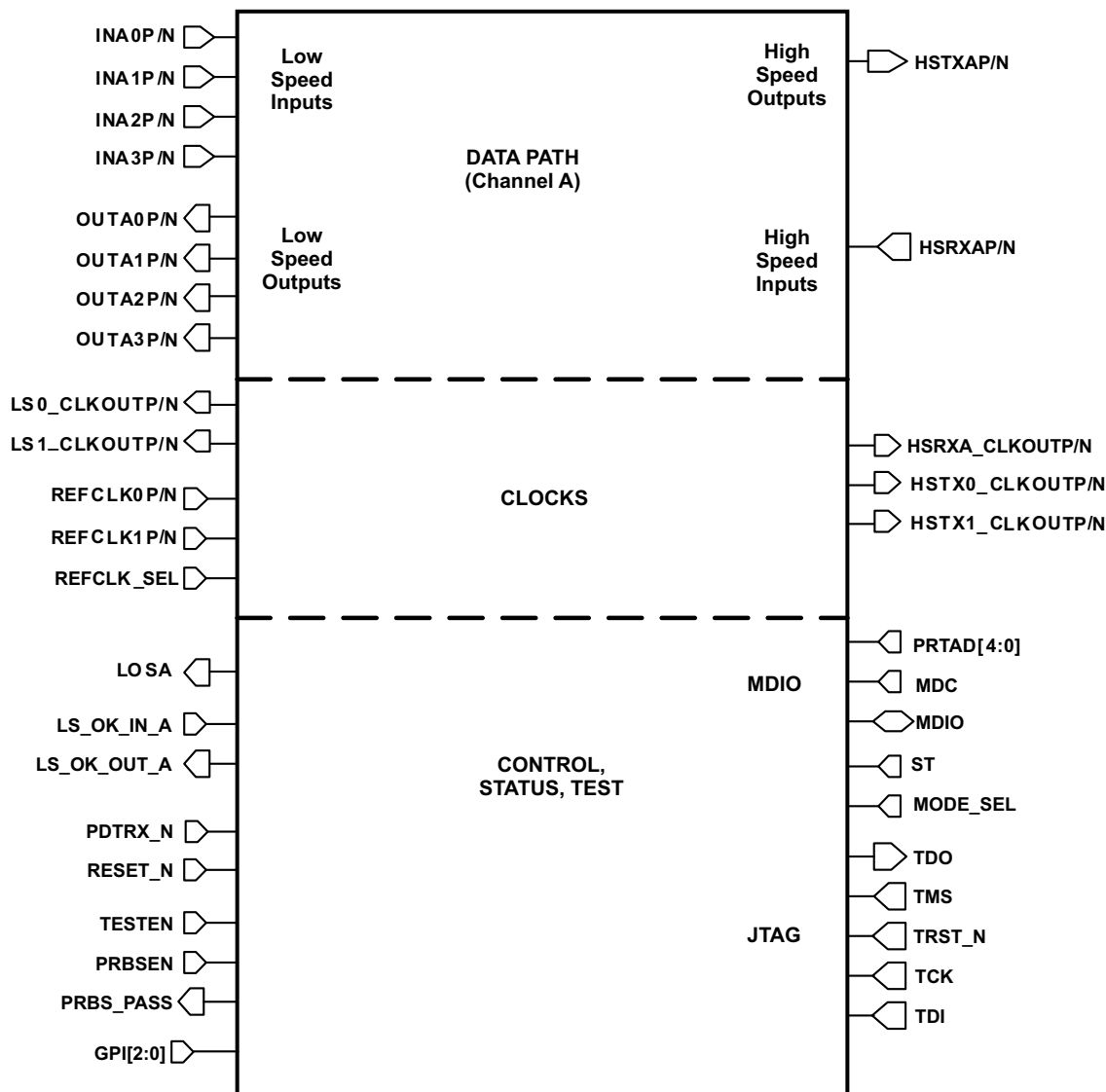


图 1. TLK10034 接口

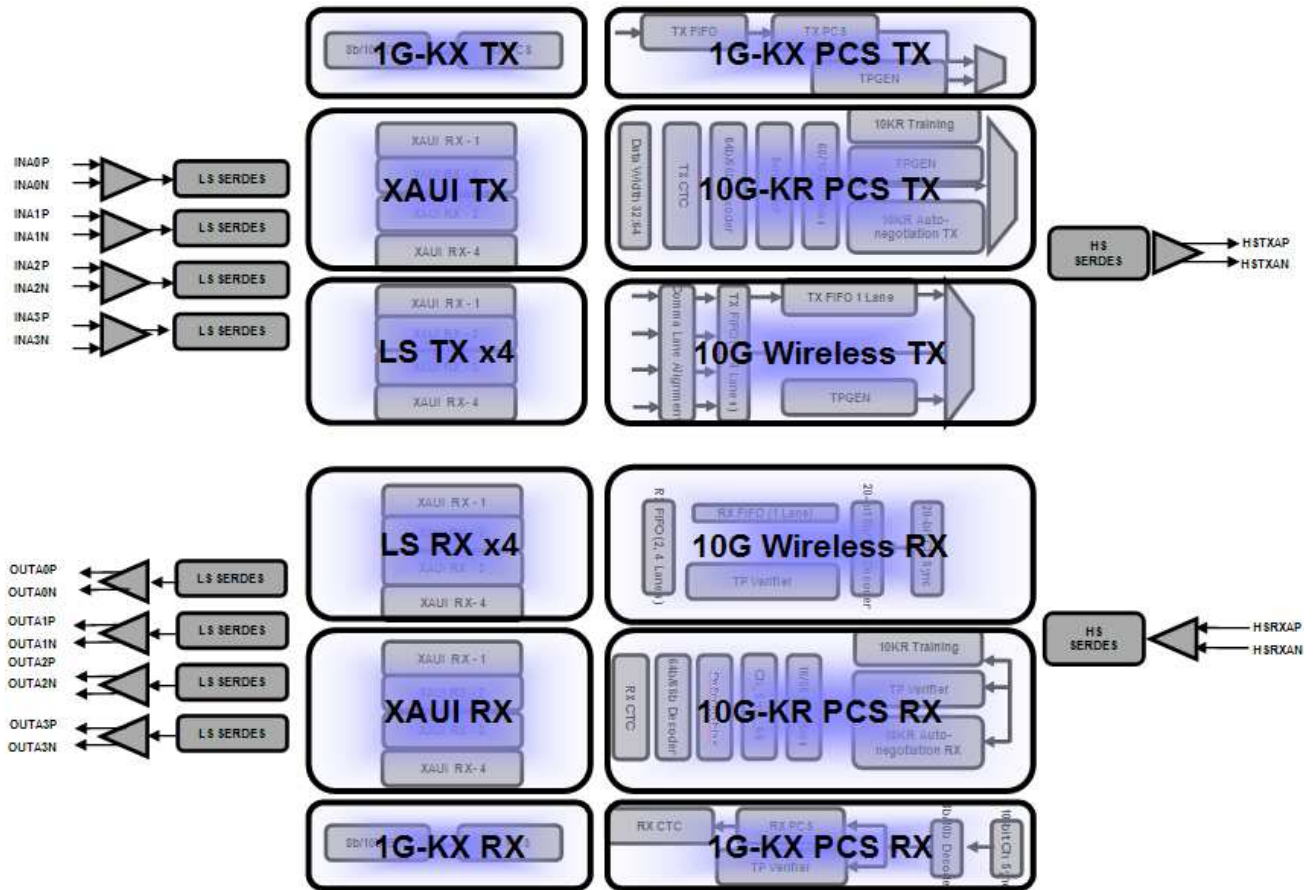


图 2. TLK10034 数据路径的简化单通道方框图

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLK10034AAJ	ACTIVE	FCBGA	AAJ	324	84	RoHS & Green	SNAGCU	Level-4-260C-72 HR	-40 to 85	TLK10034	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

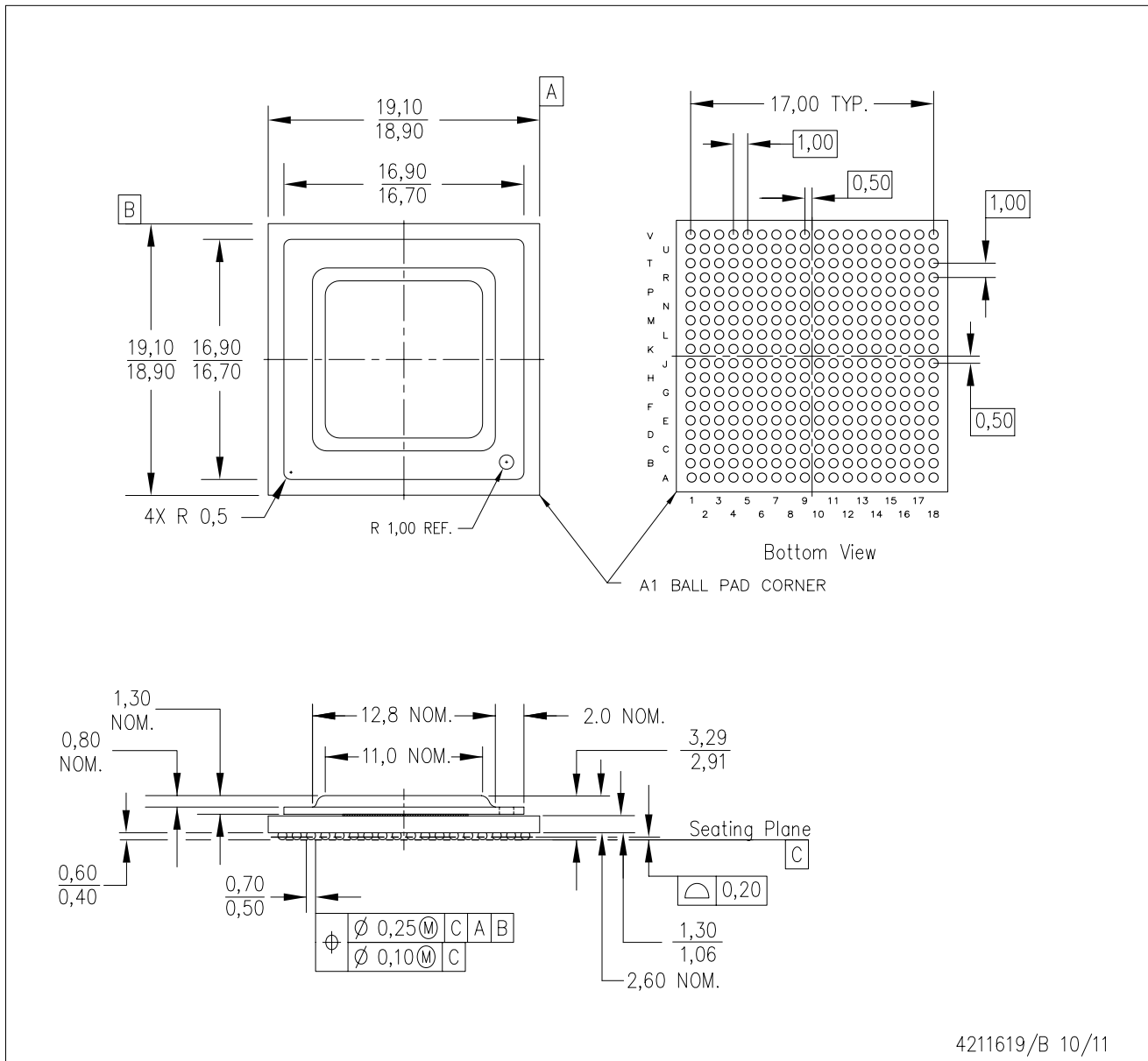
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

AAJ (S-PBGA-N324)

PLASTIC BALL GRID ARRAY



- NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.  
 B. This drawing is subject to change without notice.  
 C. Flip chip application only.  
 D. Pb-free die bump and solder ball.

## 重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司